



## Архитектура и организација рачунара 1 – К1

У процесору рачунара постоји кеш меморија реализована у техници сет асоцијативног пресликавања са четири улаза по сету. Оперативна меморија је капацитета 16 G бајта и ширине меморијске речи 4 бајта. "Data" део кеш меморије је капацитета 64 K бајта и ширине меморијске речи 4 бајта. Пресликавање је на нивоу блокова величине 1 K бајта. Користи се *write-back* алгоритам за ажурирање садржаја оперативне меморије са *write allocated* политиком довлачења и LRU алгоритам замене (вредност нула у бројачу одређује улаз за замену).

**1. (5)** Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

За сваку компоненту у структурној шеми дати назив (коришћен на слици), тип компоненте (регистар, кодер, RAM, ...), колико пута се дата компонента појављује у шеми, и број улаза односно ширину дате компоненте (неке имају више параметара). Одговор дати табеларно.

Назив компоненте	Тип	Количина	Број улаза/ширина

**2. (5)** Разматра се како се генеришу адресе свих делова кеш меморије и оперативне меморије у свим карактеристичним ситуацијама. За сваку карактеристичну ситуацију дати назив, за сваки мултиплексер у структурној шеми назначити одакле потиче податак (део адресе) који се пропушта, за кеш меморију назначити одакле потиче сваки дело из којих је састављена адреса, и за оперативну меморију назначити одакле потиче сваки дело из којих је састављена адреса. Карактеристичне ситуације би биле: Читање има сагласности, читање нема сагласности има слободног места, читање нема сагласности нема слободног места, упис има сагласности, упис нема сагласности и има слободног места, и упис нема сагласности нема слободног места. Одговор дати табеларно. Уколико се у некој ситуацији на више начина приступа меморијама дати већи број редова. Назначити да ли се у датој ситуацији ажурира алгоритам замене.

Ситуација	Mux1	Mux2	Mux...	Адреса DATA дела кеш меморије	Адреса оперативне меморије	Ажурирање алгоритма замене?

**3. (10)** Процесор је једноадресни и има 32-битни акумулатор ACC, 32-битни регистар SP који указује на врх стека и 32-битни регистар PC програмски бројач. Стек расте према вишим адресама и регистар SP показује на прву слободну локацију. Почетне вредности ових регистара су ACC=00000001h, SP=400045ABh и PC=10004560h. Посматра се следећа секвенца инструкција које процесор генерише:

адреса:                      инструкција:

10004560h	loop:	SUB #00000001h	; ACC <= ACC - 1h;
10004562h		JNZ loop	; if(ACC != 0) PC <= 10004560h;
10004564h		JSR 20004760h	; M[SP++] <= PC; PC <= 20004760h;
10004566h		STORE 30004560h	; M[30004560h] <= ACC;
10004568h		HALT	; START = 0;
10004569h		...	
...			
20004760h		INC	; ACC <= ACC + 1;
20004761h		RTS	; PC <= M[--SP];
20004762h		...	

За сваки приступ меморији означити: адресу којој се приступа, тип операције (Rd – Read, Wr – Write), вредност поља Tag, Set и Word, коментар да ли је било сагласности у кеш меморији, време које је било потребно да се дати приступ обави, као и опсег адреса у оперативној меморији којима је приступано у току извршења дате операције. Одговор дати табеларно.

Адреса	Тип	Tag	Set	Word	Коментар	Време	Адресе

Треба претпоставити да се прво пренесе цео блок из оперативне меморије у кеш меморију и обрнуто, па се тек онда приступа локацији, и да се све операције раде секвенцијално. Приликом израчунавања времена потребног да се добије садржај узети у обзир само време утврђивања сагласности у TAG MEMORIJI ( $t_{ss}$ ), време приступа оперативној меморији ( $t_{om}$ ), време приступа DATA MEMORIJI ( $t_{dm}$ ) и време приступа TAG MEMORIJI ( $t_{tm}$ ), занемарити времена потребна за остале активности.

Посматра се сет број 5h. Дати садржаје свих улаза овог сета и то TAG дела и вредности LRU бројача после сваке операције која реферише дати сет. Изглед TAG дела и вредности LRU бројача сета 5h пре извршавања наведене секвенце инструкција дата је на слици. Сви блокови сета 5h који се налазе у кеш меморији су модификовани. Одговор дати табеларно.

Улаз 0	Улаз 1	Улаз 2	Улаз 3	Cnt 0	Cnt 1	Cnt 2	Cnt 3
10004	12500	50004	40004	2	3	1	0

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.