



Архитектура и организација рачунара 1 – К2

1.(15) Рачунар поседује виртуелну меморију сегментно страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 2^4 сегмената, максималне величине 1 М бајта. Сегменти су подељени на странице величине 4 К бајта, тако да сегмент може да има максимално 2^8 страница. Физички адресни простор је величине 1 М бајт и подељен је на блокове величине 4 К бајта. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са директним пресликавањем и има 16 улаза. Максималан број процеса је 16.

а) (7) Нацртати табелу сегмената, једну табелу страница и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената и табели страница, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (4) За колико пута је могуће повећати виртуелни адресни простор тако да се број блокова оперативне меморије за смештање табеле сегмената не промени (претпоставити да је величина блока и максималан број страница по сегменту остао исти)? Уколико би се узела та максимална величина нацртати шта би се све у табели сегмената, табели страница и TLB јединици променило?

в) (4) Поље *length* које означава величину сегмента се може сматрати редундантним податком. Објаснити на који се начин све функције повезане са овим пољем могу реализовати користећи преостале податке.

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 5h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне):

25A3B1(Ex), 25A3B2(Ex), FFA100(Wr), 352100(Rd), 25A3B3(Ex).

Пре почетка извршавања дате секвенце TLB је био празан, странице су се већ налазиле смештене у физичкој меморији у блоковима 10h, 20h и 30h, респективно. За величину сегмента узети максималну вредност која се појављује у датој секвенци за дати сегмент тако да не дође до прекорачења.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Segment, Page и Word, вредности поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, блок оперативне меморије Block и физичку адресу. Одговор дати табеларно.

3. (10) Рачунарски систем се састоји из процесора (ID 1), DMA контролера (ID 2) и оперативне меморије. Меморијске адресе су ширине 16 бита, ширина магистрале података је 16 бита, адресирање је на нивоу 16 битне речи (меморијска реч). Све инструкције и сви подаци су дужине 16 бита. Меморијски систем са преклопљеним приступом меморијским модулима, са 8 модула који покривају цео адресни простор, код кога три најнижа бита адресе одређују модул.

Претпоставити да је након иницијализације операције уписа у меморију меморијски модул заузет наредних 3 периода сигнала такта, а да је након иницијализације операције читања из меморије модул заузет 2 периода сигнала такта и одговор даје тек у трећој. Када процесор или DMA контролер и модул комуницирају, трајање циклуса на магистрали је једна периода сигнала такта.

Сви захтеви за приступ магистрали постављају се синхроно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном master-у и тај master обавља циклус на магистрали. Процесор има мањи приоритет у односу на DMA контролер. Међу модулима, виши приоритет има модул са већим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико се постави захтев модулу који је заузет обрадом раније задате операције, модул одговара негативно у истом такту ($ack=0$), онда се одустаје од захтева, паузира наредна два такта, а онда понавља исти захтев.

Инструкције се дохватају тако што се одмах након пријема једне меморијске речи инструкције у следећем такту упућује захтев за довлачењем следеће меморијске речи. Све инструкције које током извршавања врше приступ подацима у меморији, сам приступ започињу у трећем такту након фазе читања инструкције (прочитају инструкцију, чекају два такта, па крећу са приступом у меморију).

Када DMA контролер прочита један податак из оперативне меморије и након тога треба да га упише у оперативну меморију захтев за упис поставља један такт након пријема прочитаног податка (прими податак, чека један такт, па поставља захтев за упис). Када му одговарајући модул одговори позитивно на захтев за упис ($ack=1$) DMA контролер поставља нови захтев за читање након једног такта, уколико постоји (прими ack , чека један такт, па поставља захтев за читање). На овај начин DMA контролер обавља трансфер података из меморије у меморију. DMA контролер ради у режиму циклус по циклус.

У тренутку 0 процесор је упутио захтев за читање инструкције дужине 2 меморијске речи почев од адресе 8103h (1:CPU-8103h (LOAD 8003h)). У тренутку 0 је DMA контролер, који је иницијализован за пребацивање 2 податка из меморије почев од адресе 7023h у меморију почев од адресе 7502h, генерисао захтев за читање првог податка из меморије (2:DMA-7023h (RD)).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета и шеста вредности сигнала rd , wr , и ack , редом. За вредност на магистрали података током циклуса уписа податка или враћања прочитаног податка из меморије ставити X.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.