



Организација рачунара – Колоквијум

1.(15) Посматра се део рачунара који чине меморија и процесор.

Меморија је капацитета 64КВ. Ширина меморијске речи је 1 бајт.

Процесор је са једноадресним форматом инструкција. Подаци су целобројне величине са знаком дужине 2 бајта представљени у другом комплементу. Подаци у меморији заузимају две суседне меморијске локације, при чему се млађи бајт налази на вишој, а старији бајт на нижој адреси.

У процесору постоји програмски бројач РС дужине 2 бајта, адресни регистар меморије MAR дужине 2 бајта, прихватни регистар податка меморије MBR дужине 1 бајт, прихватни регистар инструкције IR дужине 3 бајта, акумулатор А дужине 2 бајта, прихватни регистар податка В дужине 2 бајта, регистри опште намене R0 до R3 дужине 2 бајта, програмска статусна реч PSW дужине 1 бајт, указивач на врх стека SP дужине 2 бајта. Инструкције су дужине 1, 2 или 3 бајта.

Битови 7, 6, 5 и 4 првог бајта инструкције су 0000 за све инструкције скока, док се битовима 3 до 0 првог бајта инструкција специфицира код операције за инструкције скока и то на следећи начин: 0000-инструкција условног скока уколико је резултат нула (JZ), 0001-инструкција безусловног скока (JMP) и 0010-инструкција скока на потпрограм (JSR). Адреса скока је дата 2 и 3 бајтом инструкције, при чему је старији бајт адресе скока дат другим, а млађи бајт трећим бајтом. Дужина инструкција је 3 бајта.

Битови 7, 6, 5 и 4 првог бајта инструкције су 1111 за безадресне инструкције, док се битовима 3 до 0 првог бајта инструкција специфицира код операције за безадресне инструкције и то на следећи начин: 0000-инструкција повратка из потпрограма (RTS) и 0001-инструкција повратка из прекидне рутине (RTI). Дужина инструкција је 1 бајт.

Битови 7, 6, 5 и 4 првог бајта инструкције у опсегу вредности 0001 до 1110 специфицирају код операције за адресне инструкције и то на следећи начин: 0001-инструкција преноса у акумулатор (LOAD), 0100-инструкција преноса из акумулатора (STORE), 0111-логичка инструкција логички производ (AND), 1101-аритметичка инструкција одузимања (SUB) и 0101-инструкција аритметичког померања удесно за једно место код које резултат остаје само у акумулатору (ASR). Начини адресирања су специфицирани битовима 3 и 2 првог бајта инструкције и то на следећи начин: 00-регистарско директно адресирање, 01-регистарско индиректно адресирање са померајем, 10-меморијско индиректно адресирање и 11-непосредно адресирање. Код регистарског директног адресирања битови 1 и 0 првог бајта инструкције се користе за адресирање једног од регистара опште намене R0 до R3. Дужина инструкције је 1 бајт. Код регистарског индиректног адресирања са померајем други бајт инструкције садржи 8 битни померај представљен у другом комплементу, а битови 1 и 0 првог бајта инструкције се користе за адресирање једног од регистара опште намене R0 до R3. Дужина инструкције је 2 бајта. Код меморијског индиректног адресирања 16 битна адреса меморијске локације је дата другим и трећим бајтом инструкције, при чему је старији бајт адресе дат другим, а млађи бајт трећим бајтом. Адреса дужине 16 бита заузима две суседне меморијске локације, при чему се млађи бајт налази на вишој, а старији бајт на нижој адреси. Битови 1 и 0 првог бајта инструкције се не користе. Дужина инструкције је 3 бајта. Код непосредног адресирања 16 битни операнд је дат другим и трећим бајтом инструкције, при чему је старији бајт податка дат другим, а млађи бајт трећим бајтом. Битови 1 и 0 првог бајта инструкције се не користе. Дужина инструкција је 3 бајта.

Стек расте према нижим меморијским локацијама, а регистар SP указује на последњу заузету меморијску локацију.

На индикаторе у програмској статусној речи утичу следеће инструкције: LOAD, STORE и AND на N и Z, SUB на N, Z, V и C и ASR на N, Z и C.

Садржај дела меморије:

ЛОКАЦИЈА:	0000h	0001h	0002h	0003h	0004h	0005h	0006h	0007h	0008h	0009h
САДРЖАЈ:	00h	00h	00h	00h	00h	06h	00h	04h	06h	00h
ЛОКАЦИЈА:	1000h	1001h	1002h	1003h	1004h	1005h	1006h	1007h	1008h	1009h
САДРЖАЈ:	16h	FFh	00h	11h	00h	05h	7Ch	00h	02h	48h
ЛОКАЦИЈА:	100Ah	100Bh	100Ch	100Dh	100Eh	100Fh	1010h	1011h	1012h	1013h
САДРЖАЈ:	00h	04h	11h	00h	16h	05h	7Ch	00h	02h	D0h
ЛОКАЦИЈА:	1100h	1101h	1102h	1103h	1104h	1105h	1106h	1107h	1108h	1109h
САДРЖАЈ:	51h	7Ch	00h	03h	48h	00h	04h	71h	D0h	11h
ЛОКАЦИЈА:	110Ah	110Bh	110Ch	110Dh	110Eh	110Fh	1110h	1111h	1112h	1113h
САДРЖАЈ:	43h	71h	D2h	51h	D2h	10h	02h	10h	00h	D2h

Ако је PC=1000h, SP=0100h, ACC=0002h, R1=0005h, R2=0003h, N=0, Z=0, V=0 и C=0. Извршити 5 сукцесивних наредби и за сваку наредбу одредити следеће: у фази читања инструкције меморијске адресе са којих је прочитана инструкција, садржај регистра IR, инструкцију која је прочитана и нови садржај регистра PC, у фази одређивања адресе операнда и читања операнда меморијске адресе са којих је прочитана адреса операнда, меморијске адресе са којих је прочитан операнд, вредност операнда и нови садржај регистра опште намене који су у овој фази промењени, у фази извршавања меморијске адресе којима се у овој фази приступа, садржај акумулатора А и индикатора N, Z, V и C након извршавања инструкције и нови садржај регистра и меморијских локација који су у овој фази промењени. Резултате представити у форми једне или више табела које садрже наведене колоне.

2.(15) Адресни простор неког рачунара је величине 128KB, адресибилна јединица је 16 битна реч. Подаци су целобројне величине без знака дужине 16 бита. Процесор је једноадресни, улазно-излазни и меморијски адресни простори су раздвојени, а механизам прекида је векторисан. Регистар IVTP има вредност 0h. Процесор поседује две улазне линије за спољне маскирајуће прекиде, IRQM1 и IRQM2, на које су везане периферије PER1 и PER2, респективно, којима одговарају улази 0 и 1 у вектор табели. IRQM2 је вишег нивоа приоритета, а не прихвата се прекид истог нивоа приоритета. Адресе осмобитних регистра у којима се чувају бројеви улаза PER1 и PER2 су 100h и 200h, респективно. Процесор поседује и линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Линији IRQN је придружен улаз 2 у IV табели. Улаз 3 у IV табели се употребљава у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се поставља на 0 у току фазе опслуживања прекида и одређен број L бита који се постављају на ниво приоритета прекидне рутине на коју се скаче у току фазе опслуживања прекида за спољне маскирајуће прекиде. Не постоји селективно маскирање прекида. Инструкције INT, INTE, INTD и RTI не реагују на прекид. Регистри ACC и PSW су величине 2 бајта. Стек расте од нижих ка вишим адресама у меморији, а регистар SP указује на прву слободну локацију на стеку. При прекиду се на стеку чувају ACC, PSW и PC, тим редом. Главни програм је дат на слици 1, прекидне рутине на слици 2, а садржај дела меморијског адресног простора почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид од периферије PER1, у току 3. стиже захтев по линији IRQN, а у току 11. од периферије PER2. На почетку су сви бити PSW-а постављени на 0. Почетни садржај акумулатора је 0001h. Све вредности на сликама су хексадецималне.

Слика 1	Адреса	Инструкција	Слика 2	Адреса	Инструкција	Адреса	Инструкција	Слика 3	Адреса	Садржај
	0100	INTE	1000	INTE	100B	POP		0000	1000	
	0101	STORE #0020	1001	STORE 0020	100C	ADD #0002		0001	1006	
	0103	ADD #0002	1003	XOR #0009	100E	PUSH		0002	1008	
	0105	DEC	1005	RTI	100F	RTI		0003	100B	
	0106	INTD	1006	INC				0004	1003	
			1007	RTI				0005	100E	
			1008	ADD 0020				...		
			100A	RTI				0020	0101	
								...		

а) (3) Колико максимално улаза има IV табела?

б) (3) Написати део програма којим се додељује исти број улаза периферији PER1 као и периферији PER2.

в) (6) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, изглед стека и вредности на линијама IRQM1, IRQM2 и IRQN. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида. Табела:

Рб	Адреса	Инструкција	ACC	Стек	I	L	PRIRRN	PRIRR1	PRIRR2
0	-	-	1	-	0	*	-	-	-

* - Одређени број L бита.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 3. инструкције. За сачувану вредност PSW дати само вредности бита I и L. Назначити у ком смеру расте стек.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература, може се писати графитном оловком. Колоквијум траје 120 минута.