



## Организација рачунара

**1.(20)** Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (0-улаз, 1-излаз), бит 1 је Enable којим се дозвољава прекид, а у статусним регистрима бит 15 је Ready који сигнализира спремност контролера. Бит 0 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 0500h и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 0600h. Након читавања низова A и B формира се низ C, који почиње од адресе 0700h у меморији, на следећи начин:  $C(i) = \min(A(i), B(i))$  (i=0...FFh). На крају се низ C шаље на периферију PER2. Пријем са PER0 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, пријем са PER1 реализовати испитивањем бита спремности, а слање низа C на PER2 реализовати коришћењем механизма прекида.

**2.(20)** У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 GB и ширине меморијске речи 1 В. "Data" део кеш меморије је капацитета 2 MB и ширине меморијске речи 1 В. Пресликавање је на нивоу блокова величине 128 В.

**а) (8)** Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

**б) (7)** Објаснити целокупан поступак читања податка у ситуацији када у кеш меморији не постоји сагласност, а блок који се налази у улазу који је одабран за замену је модификован у кеш меморији. Напомена: у објашњењима користити ознаке које су дате на слици приликом одговара на питање из тачке под а).

**в) (5)** У оперативној меморији на адреси 0011 2345h налази се податак 26h. Блок коме припада ова адреса довучен је у улаз 10h кеш меморије и није од тада модификован. Приказати вредности V и D бита и садржај TAG меморије улаза 10h кеш меморије. На којој адреси у DATA меморији ће се налазити вредност 26h, која је довучена из оперативне меморије са адресе 0011 2345h.

**3.(10)** Посматра се систем који се састоји из процесора, периферије са контролером периферије и меморије повезаних асинхроним магистралом. Меморијски и улазно/излазни адресни простори су раздвојени. Нацртати и објаснити временске облике сигнала које процесор и меморија размењују у ситуацији када процесор реализује циклус уписа у меморију.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.