



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 3 је Start којим се дозвољава почетак операције, бит 7 одређује смер операције (0-улаз, 1-излаз), бит 11 је Enable којим се дозвољава прекид, а у статусним регистрима бит 15 је Ready који сигнализира спремност контролера. Бит 0 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0..FFh) са PER0 у меморијски блок који почиње од адресе 100h, низа B(i) (i=0..FFh) са PER1 у меморијски блок почев од адресе 200h и низа C(i) (i=0..FFh) са PER2 у меморијски блок почев од адресе 300h. Након читавања низова A, B и C формира се низ D, који почиње од адресе 400h у меморији, на следећи начин: $D(i) = A(i) + B(i) - C(i)$ (i=0..FFh). На крају се низ D шаље на периферију PER0. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, слање низа D на PER0 реализовати испитивањем бита спремности.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 1 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 128 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 64 бајтова.

а) (5) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

б) (5) Објаснити функцију бита V и D кеш меморије. У којој ситуацији не мора да постоји D бит у кеш меморији?

в) (5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност. Како се адресирани бајт податка чита из кеш меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност, а блок који се налази у улазу који је одабран за замену није модификован у кеш меморији.

г) (5) Дати пример садржаја кеш меморије (свих релевантних делова и улаза) и генерисане адресе који илуструје ситуацију када у кеш меморији постоји сагласност.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 64KB, адресибилна јединица је бајт. Подаци су целобројне величине са знаком представљени у другом комплементу дужине 16 бита. Подаци и адресе се смештају у меморију тако да је на нижој адреси виши бајт. Процесор је једноадресни са меморијски пресликаним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 0000h. Процесор има две улазне линије IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 2, 5 и 0 у IV табели, респективно. Улаз 7 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 100Ah, 1000h, 1006h и 1013h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се хардверски постављају на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је дужине 16 бита, а регистар PSW 8 бита. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQM2, у току 3. по линији IRQN, а у току 9. по линији IRQM1. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1		Слика 2		Слика 3			
Адреса	Наредба	Адреса	Наредба	Адреса	Наредба	Адреса	Садржај
0100h	LOAD 0003h	1000h	PUSHA	100Ah	PUSHA	0000h	10h
0103h	INTE	1001h	ADD #1001h	100Bh	SUB 0002h	0001h	06h
0104h	ADD #1001h	1004h	POPA	100Eh	STORE 0010h	0002h	10h
0107h	INTD	1005h	RTI	1011h	POPA	0003h	00h
		1006h	INTE	1012h	RTI	0004h	10h
		1007h	INCA	1013h	POPA	0005h	0Ah
		1008h	DECA	1014h	ADD #0003h		
		1009h	RTI	1015h	PUSHA		
				1016h	RTI		

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се инцијализују улази 2, 5 и 7 у IV табели.
- в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (3) Која ће се вредност налазити на локацији 0011h након извршења секвенце под в)?

2. (5) Посматра се систем који се састоји из процесора, периферије са контролером периферије и меморије повезаних синхроним магистралом. Меморијски и улазно/излазни адресни простори су меморијски пресликани. Нацртати и објаснити временске облике сигнала које процесор и меморија размењују у ситуацији када процесор реализује циклус читања из меморије.