



## Организација рачунара – КЗ

**1.(20)** Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 15 је Start којим се дозвољава почетак операције, бит 6 одређује смер операције (0-улаз, 1-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 1 је Ready који сигнализира спремност контролера. Бит 0 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се упоредо врши: учитавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 100h, низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 200h и низа C(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 300h. Након учитавања низова A, B и C формира се низ D, који почиње од адресе 400h у меморији, на следећи начин:  $D(i) = A(i) + B(i) - C(i)$  (i=0...FFh). На крају се низ D шаље на периферију PER0. Пријем са PER0 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати испитивањем бита спремности, а слање низа D на PER0 реализовати коришћењем DMA контролера у блоковском режиму рада.

**2. (20)** У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 16 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 256 бајтова.

**а) (5)** Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

**б) (5)** Објаснити функцију сваког од мултиплексера који се користе за генерисање адресе унутар кеш меморије (по једна реченица за сваки мултиплексер). Објаснити ко и када користи сваки од ових мултиплексера (по једна реченица за сваки случај коришћења).

**в) (5)** Објаснити, корак по корак, како се обавља операција уписа у кеш меморију у случају да у кеш меморији постоји сагласност. За сваки корак таксативно навести којим деловим кеш меморије се приступа (којим мултиплексерима, којим регистрима, којим улазима, којим битима, ...).

**г) (5)** Дати пример адресе и садржаја кеш меморије (свих релевантних делова и улаза) у ситуацији када у кеш меморији постоји сагласност.

**Напомене 1:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



## Организација рачунара – К2

**1. (15)** Адресни простор процесора је величине 16GB, адресбилна јединица је 32-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела има 8 фиксних улаза и почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 00000002h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM1 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 1, 3 и 7 у IV табели, респективно. Улаз 0 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 00001100h, 00001103h, 00001105h и 0000110Ah, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоји бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM0, у току 4. по линији IRQM1, а у току 5. по линији IRQN. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
00000100h	INTE
00000101h	LOAD 0h
00000103h	INCA
00000104h	STORE Ah
00000106h	INTD

Слика 2

Адреса	Наредба
00001100h	INTE
00001101h	INCA
00001102h	RTI
00001103h	DECA
00001104h	RTI
00001105h	POPA
00001106h	INCA
00001107h	INCA

Слика 3

Адреса	Садржај
00000000h	0000110Fh
00000001h	00001100h
00000002h	0000110Ah
00000003h	00001100h
00000004h	0000110Ah
00000005h	00001103h

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се инцијализују улази 0, 1 и 7 у вектор табели.
- в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 00000100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (3) Која ће се вредност налазити на локацији Ah након извршења секвенце под в)?

**2. (5)** Код рачунара са раздвојеним меморијским и улазно/излазним адресним простором посматра се синхрона магистрала на којој се циклуси читања тако реализују да је магистрала заузета све време трајања циклуса. Време приступа меморији износи 3 такта магистрале. Нацртати временске облике сигнала које током реализације циклуса читања из улазно/излазног адресног простора размењују газда и слуга и објаснити чему сваки од сигнала служи и ко га генерише.