



## Организација Рачунара

**1.(15)** Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а 32-битни бројеви се смештају тако да је на вишој адреси нижа реч. Подаци су целобројне величине са знаком представљени у другом комплементу дужине 32 бита. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 00000000h. Процесор има две улазне линије IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 1, 4 и 7 у IV табели, респективно. Улаз 0 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 00001000h, 0000100Bh, 00001006h и 00001012h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се бришу у микропрограму за обраду прекида, као и одређен број L бита, који се ажурирају у микропрограму за обраду прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQN, у току 6. по линији IRQM1, а у току 7. по линији IRQM2. На почетку су сви бити PSW-а постављени на 0. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1

| Адреса    | Наредба  |
|-----------|----------|
| 00000100h | LOAD 0h  |
| 00000103h | INTE     |
| 00000104h | ADD #7h  |
| 00000107h | DECA     |
| 00000108h | STORE 0h |
| 0000010Bh | INTD     |

Слика 2

| Адреса    | Наредба |
|-----------|---------|
| 00001000h | INCA    |
| 00001001h | SUB #1h |
| 00001004h | DECA    |
| 00001005h | RTI     |
| 00001006h | POPA    |
| 00001007h | INCA    |
| 00001008h | INCA    |
| 00001009h | PUSHA   |

Слика 3

| Адреса    | Садржај |
|-----------|---------|
| 00000000h | 0000h   |
| 00000001h | 1012h   |
| 00000002h | 0000h   |
| 00000003h | 1000h   |
| 00000004h | 0000h   |
| 00000005h | 100Ah   |

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се иницијализују улази 1, 4 и 7 у IVT.
- в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 00000100h.
- г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 5. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.
- д) (3) Која ће се вредност налазити на локацији 00000001h након извршења секвенце под в)?

**2. (5)** Посматра се систем који се састоји из процесора, контролера за директни приступ меморији (DMA) и меморије повезаних магистралом у коме процесор управља коришћењем магистрале. Навести сигнале које DMA и процесор размењују у ситуацијама када DMA жели да користи магистралу. Нацртати и објаснити временске облике сигнала које том приликом DMA и процесор размењују за три карактеристичне ситуације.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.