



Организација рачунара – И

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 6 одређује смер операције (1-улаз, 0-излаз), бит 8 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 1 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајуће прекидне рутине којима се упоредо врши учитавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h и низа B(i) (i=0...FFh) са PER2 у меморијски блок који почиње од адресе 2000h. Затим се формира низ C који почиње од адресе 3000h, на следећи начин: $C(i) = A(i) + B(i)$ (i=0...FFh). На крају се врши слање низа C на периферију PER1. Улаз са PER0 реализовати коришћењем механизма прекида, улаз са PER2 реализовати коришћењем DMA контролера који ради у циклус по циклус режиму рада, а излаз на PER1 реализовати испитивањем бита спремности.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 8 Гбајта и подељен је на странице величине 8 Кбајт. Физички адресни простор је величине 8 Гбајта и подељен је на блокове величине 8 Кбајт. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити функцију свих делова табеле страница и TLB јединице, као и значење свих поља једног улаза табеле страница и TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу и у оквиру тога прецизно објаснити:

1. Шта се све ради када се утврђује да у TLB јединици постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски.

2. Шта се све ради када се утврђује да у TLB јединици не постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски. Навести шта се ради у два ситуацијама које том приликом могу да настану и то једанпут када је страница у меморији и други пут када страница није у меморији, као и шта се од тога ради хардверски а шта софтверски.

3. Шта се све ради када процес, који је био блокиран због тога што дескриптор странице није био у TLB јединици и страница није била у меморији, постане деблокиран, добије процесор и поново покуша превођење исте виртуелне у физичку адресу, као и шта се од тога ради хардверски а шта софтверски.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч. Процесор оперише само са целобројним величинама без знака величине 32 бита, а 32-битни подаци и адресе се смештају у меморију тако да је на нижој адреси виша реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег приоритета, а IRQ1 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 2, 4 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 00001100h, 0000110Fh и 00001103h, респективно. Адресе регистра у којима се чувају бројеви улаза су 10h, 1Fh и 25h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC и PSW тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, у току 3. по линији IRQ2, а у току 7. по линији IRQ3. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је 7h. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
00000100h	INTE
00000101h	LOAD 2h
00000103h	INCA
00000104h	DECA
00000105h	STORE 2h
00000107h	INTD

Слика 2

Адреса	Наредба
00001100h	INCA
00001101h	STORE 2h
00001103h	DECA
00001104h	RTI
00001105h	POPA
00001106h	STORE 1h
00001108h	PUSHA

Слика 3

Адреса	Садржај
00000000h	0000h
00000001h	1101h
00000002h	0000h
00000003h	1103h
00000004h	0000h
00000005h	1100h

а)(3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 00000100h.

г)(3) Приказати садржај свих познатих локација на врху стека након извршавања 7. инструкције. За сачувану вредност PSW дати само вредности бита I и L. Назначити у коме смеру расте стек.

д)(3) Која ће се вредност налазити на локацији 00000003h након извршења секвенце под в)?

2. (5) Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистрали. Нацртати шему повезивања модула мод3, мод2, мод1 и мод0 са релевантним сигнаlima за случај серијске арбитражије водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитражија.