



Организација рачунара – К3

1.(20) Једноадресни процесор са меморијски мапираним улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (0-улаз, 1-излаз), бит 4 је Enable којим се дозвољава прекид, а у статусним регистрима бит 5 је Ready који сигнализира спремност контролера. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0..FFh) са PER0 у меморијски блок који почиње од адресе 0100h, и низа B(i) (i=0..FFh) са PER2 у меморијски блок почев од адресе 0200h. Након читавања ових низова врши се креирање низа C(i) = A(i) - B(i) (i=0..FFh), који се смешта у меморијски блок који почиње од адресе 0300h. Након тога, резултујући низ C се шаље на периферију PER1. Улаз са PER0 реализовати испитивањем бита спремности, а улаз са PER2 реализовати коришћењем DMA контролера у блоковском режиму рада. Излаз на PER1 реализовати коришћењем механизма прекида .

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 8 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 64 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 16GB, адресбилна јединица је 32-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са меморијски пресликаним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 10h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 0, 2 и 4 у IV табелу, респективно. Улаз 6 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1000h, 1003h, 1009h и 1007h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекиде. Прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM0, у току 4. по линији IRQN, а у току 6. по линији IRQM1. На почетку су сви бити PSW-а постављени на 0.

Слика 1		Слика 2	
<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>
0100h	LOAD #1h	1000h	INTE
0102h	INTE	1001h	INCA
0103h	ADD #1h	1002h	RTI
		1003h	INCA
		1004h	INTE
		1005h	DECA
		1006h	RTI
		1007h	LOAD 1h
		1009h	INCA
		100Ah	STORE 1h
		100Ch	INCA
		100Dh	RTI

- a)(3)** Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- b)(3)** Написати део програма којим се иницијализује улаз 0 у вектор табели.
- c)(3)** Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- d)(3)** Приказати садржај свих познатих локација на врху стека након извршавања 14. инструкције. За сачувану вредност PSW дати само вредности бита I и L. Назначити у ком смеру расте стек.
- e)(3)** Која ће се вредност налазити на локацији 1h након извршења секвенце под c)?

2. (5) Посматра се систем који се састоји из процесора, контролера за директни приступ меморији (DMA) и меморије повезаних магистралом у коме процесор управља коришћењем магистрале. Навести сигнале које DMA и процесор размењују у ситуацијама када DMA жели да користи магистралу. Нацртати и објаснити временске облике сигнала које том приликом DMA и процесор размењују за три карактеристичне ситуације.