

Магистрала



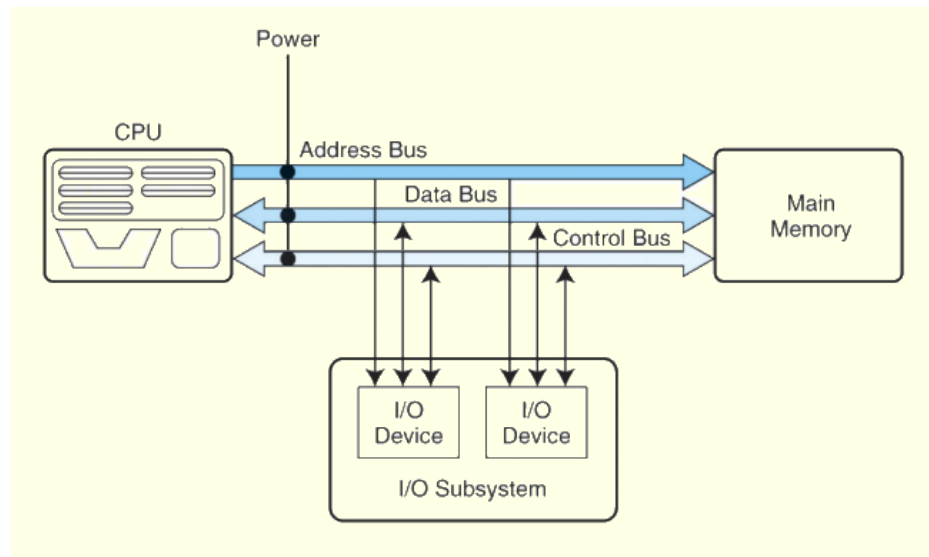
Садржај

- Основни појмови
- Циклуси на магистралаи
- Арбитрација



Основни појмови

- Магистрала је уређена група линија која служи за повезивање модула рачунарског система:
 - процесора,
 - меморије и
 - улазно/излазних уређаја.користећи дефинисани протокол комуникације



Основни појмови

- Преко магистрале се преносе садржаји између:
 - регистара процесора,
 - меморијских локација и
 - регистара улазно/излазних уређаја.



Master/Slave

- Цео ток преноса неког садржаја између два модула, назива се циклус на магистрали.
- Модул који започиње циклус на магистрали, назива се газда (*master*). Газда је најчешће процесор и уређаји са директним приступом меморији.
- Модул са којим газда реализује циклус, назива се слуга (*slave*). Слуга је најчешће меморија и уређаји без и са директним приступом меморији.



Саставни делови

- Магистралу чине три групе линија:
 - адресне линије,
 - линије података и
 - управљачке линије.



Адресне линије – ABUS

- По адресним линијама ($ABUS_{n..0}$) газда шаље адресу меморијске локације или регистра уређаја приликом читања садржаја или уписа садржаја.



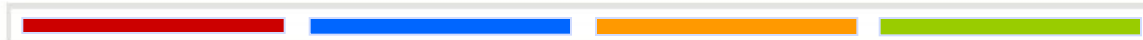
Линије података – DBUS

- По линијама података ($DBUS_{m..0}$) газда шаље садржај који треба да се упише у меморијску локацију или регистар уређаја чија адреса се налази на адресним линијама.
- По линијама података слуга шаље очитани садржај меморијске локације или регистра уређаја чија адреса се налази на адресним линијама.
- По линијама података контролер периферије шаље број улаза у табелу прекидних рутина.



Управљачке линије – CBUS

- По управљачким линијама газда шаље сигнале којима одређује који чиклус треба да се реализује (читање или упис садржаја).
- У неким реализацијама магистрале по управљачким линијама и слуга шаље сигнале којима сигнализира газди да ли су читање или упис садржаја успешно или безуспешно реализовани.
- Линије:
 - RDBUS – циклус читања
 - WRBUS – циклус уписа
 - $\overline{M/I\bar{O}}$ – приступ меморији или периферији (опциони)
 - FCBUS – завршетак операције (код асинхроне обавезан)
 - ...



Циклуси на магистрали

Master	Slave	Циклус на магистрали	Ситуација
Процесор	Меморија	Читање	Читање инструкције Читање операнда/адресе Извршавање операције Обрада прекида
Процесор	Меморија	Упис	Извршавање инструкције Упис резултата Обрада прекида
Процесор	Периферија	Читање/Упис	Извршавање инструкције/ Упис резултата
Процесор	Периферија	Дохватање броја улаза	Опслуживање захтева за прекид
DMA контролер	Периферија	Читање/Упис	Приликом трансфера података између периферије и меморије
DMA контролер	Меморија	Упис/Читање	Приликом трансфера података између периферије и меморије
...			

Циклуси на магистралаи

- Код магистрале са атомским циклусима постоје:
 - циклус читања,
 - циклус уписа и
 - циклус прихватања броја улаза,а магистрала је заузета све време док се реализује пренос податка између газде и слуге.



Циклуси на магистрали

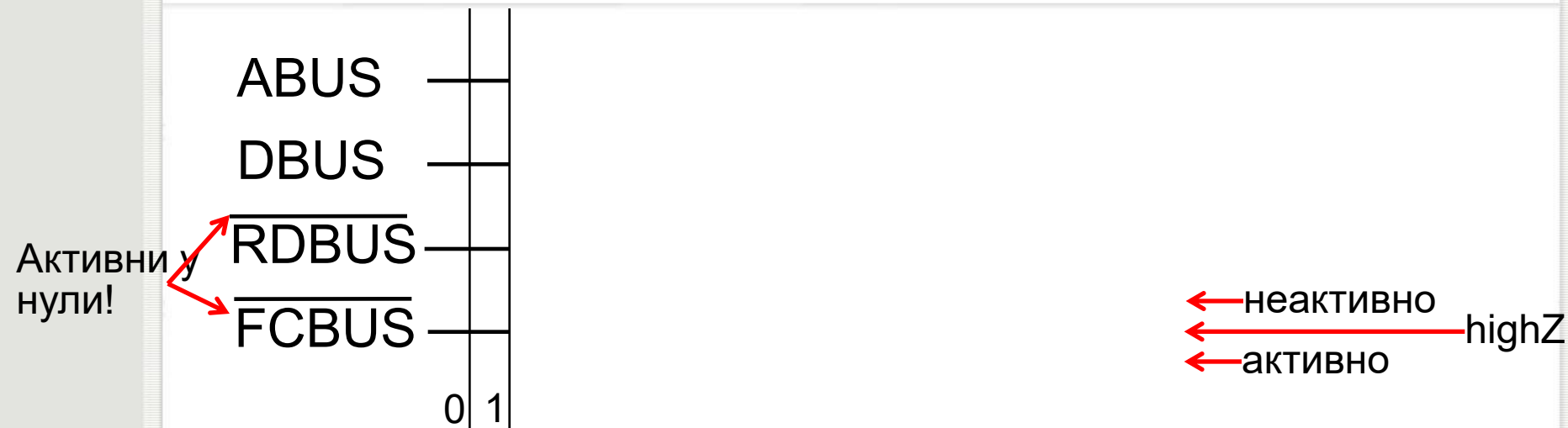
- У зависности од тога како се утврђује шта и када газда и слуга треба да ураде приликом реализације циклуса на магистрали, разликују се:
 - асинхроне и
 - синхроне магистрале.



Асинхрона магистрала

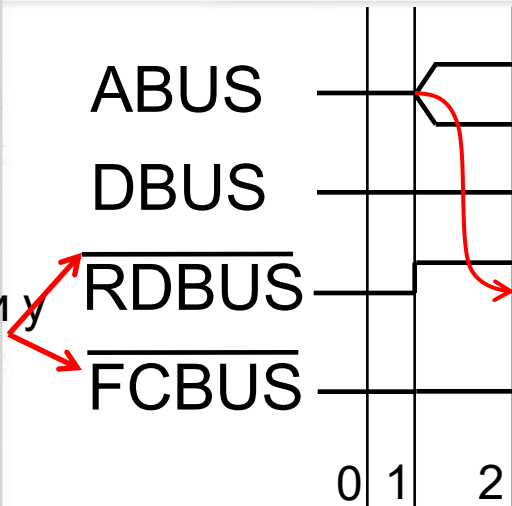
- Модули магистрале обично раде асинхроно сваки на свој сигнал такта и трајање сваког циклуса је одређено временом приступа модула слуге.
- Линије:
 - адресне линије **ABUS**
 - линије података **DBUS**
 - стартовање читања $\overline{\text{RDBUS}}$
 - стартовање уписа $\overline{\text{WRBUS}}$
 - располиживост податка $\overline{\text{FCBUS}}$
 - сигналом потврде прекида **inta**
 - ...

Асинхрона магистрала-циклус читања



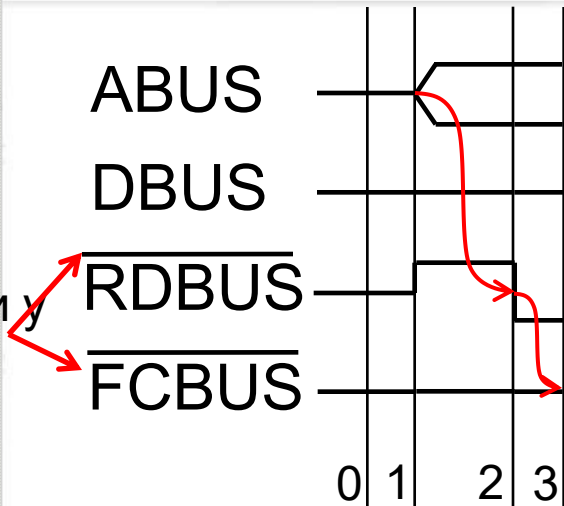
0. Док не крене са реализацијом циклуса читања газда држи адресне линије ABUS и управљачку линију читања RDBUS у стању високе импедансе. То исто чини и модул који ће постати слуга са линијама података DBUS и управљачком линијом завршетка циклуса FCBUS.

Асинхрона магистрала-циклус читања



1. Газда креће са реализацијом циклуса читања тако што отвара бафере са три стања за адресне линије ABUS и управљачку линију читања RDBUS. На линијама ABUS је адреса локације, а на линији RDBUS неактивна вредност сигнала читања.
- 1.-2. Садржај са линија ABUS примају сви модули и на својим декодерима адреса проверавају да ли дати садржај представља адресу неке од локација у датом модулу.

Асинхрона магистрала-циклус читања

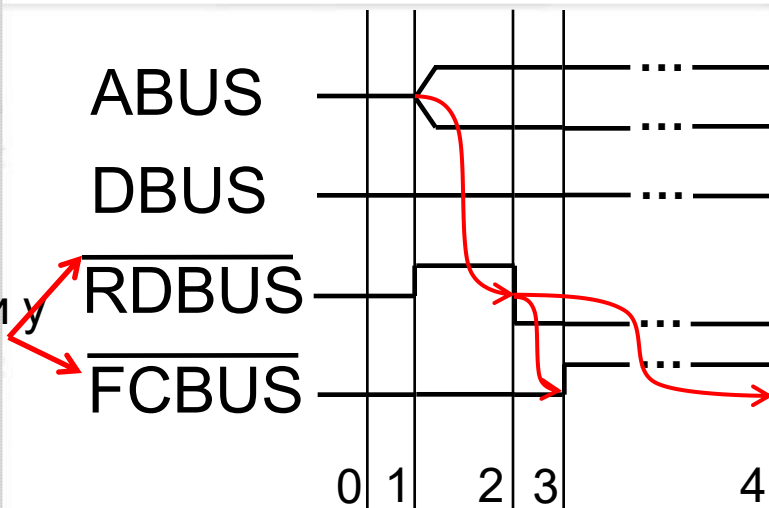


Активни у нули!

2. После времена довољног да се у свим модулима ова провера заврши и само у једном од њих формира активна а у осталима неактивне вредности сигнала HIT, газда поставља линију RDBUS на активну вредност.

2-3. Сигнал са линије RDBUS примају сви модули, али на њега реагује и за дати циклус постаје слуга само онај модул у коме је сигнал HIT активан.

Асинхрона магистрала-циклус читања

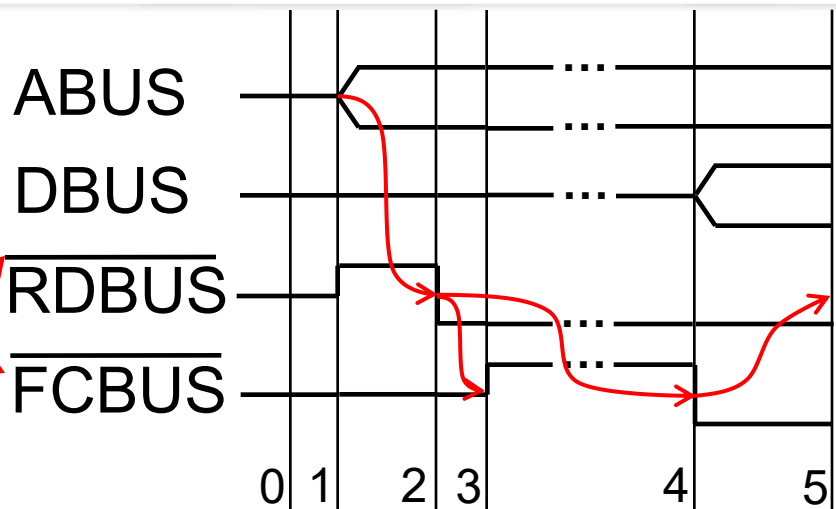


Активни у нули!

3. Слуга започиње читање и отвара бафере са три стања за линије података DBUS и управљачку линију читања FCBUS. На линијама DBUS је док траје читање недефинисани садржај, а на линији FCBUS неактивна вредност сигнала.

Асинхрона магистрала-циклус читања

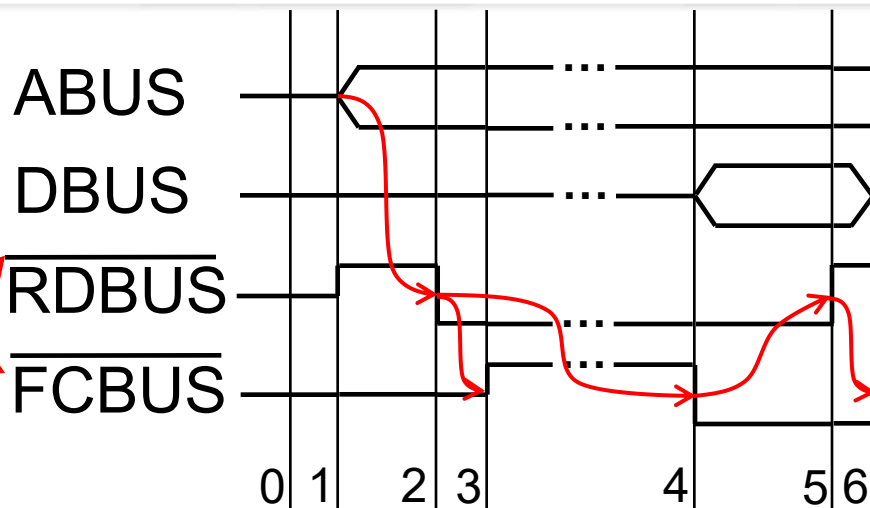
Активни у нули!



4. Када се у слуги заврши читање на линијама DBUS се појављује очитани садржај, а на линији FCBUS активна вредност.

Асинхрона магистрала-циклус читања

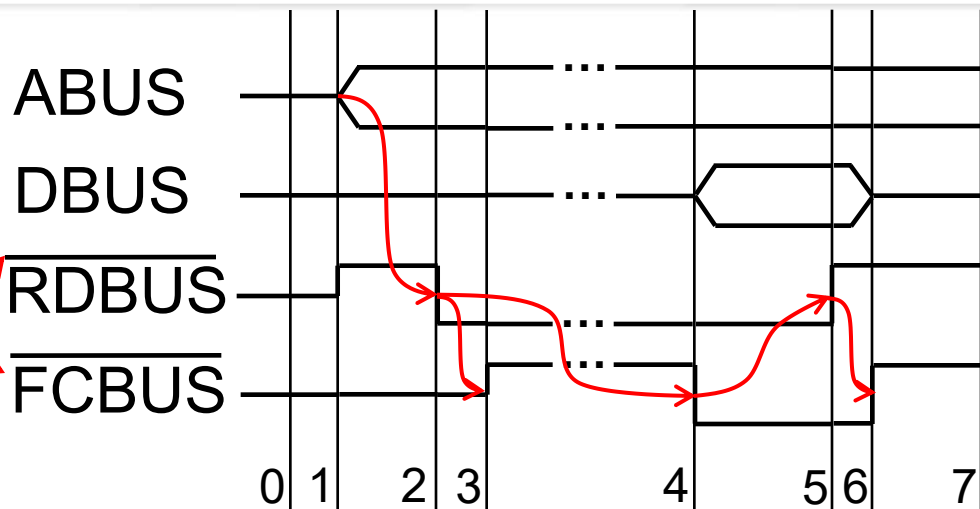
Активни у нули!



5. На активну вредност сигнала FCBUS реагује газда и уписује садржај са линија DBUS у неки свој прихватни регистар податка.

Асинхрона магистрала-циклус читања

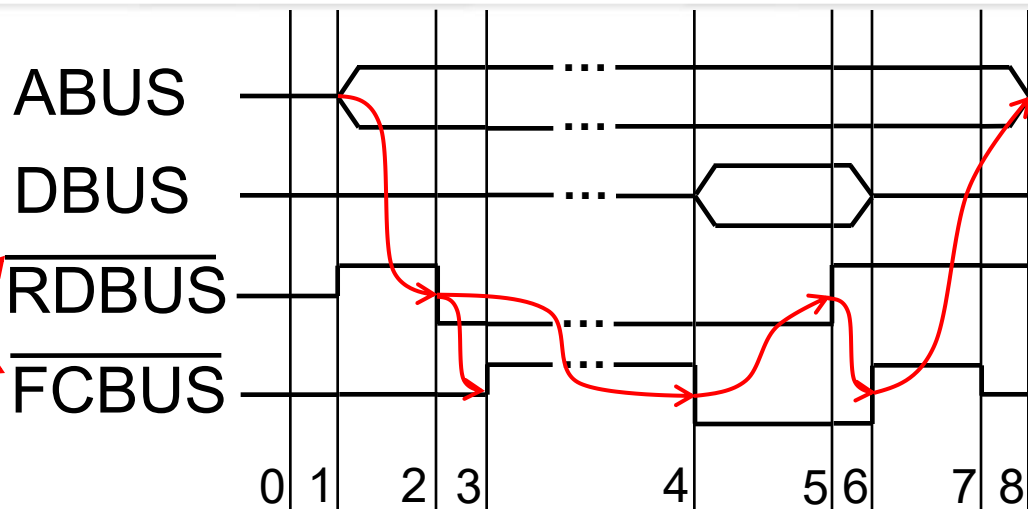
Активни у нули!



6. По завршетку уписа газда поставља линију RDBUS на неактивну вредност, што је индикација слуги да газди садржај са линија DBUS није више потребан.

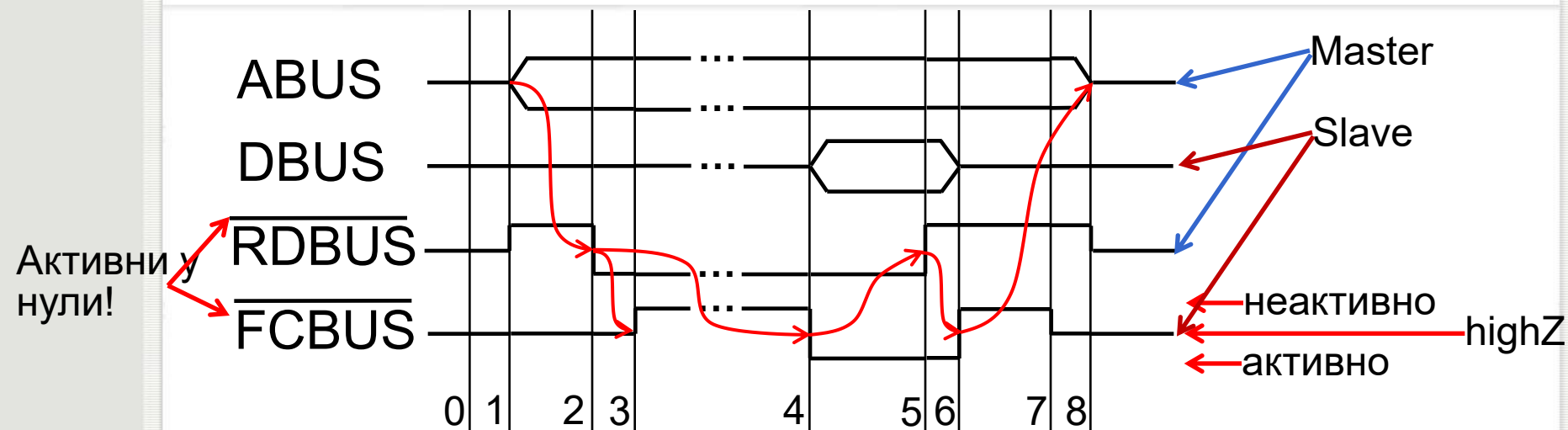
Асинхрона магистрала-циклус читања

Активни у нули!



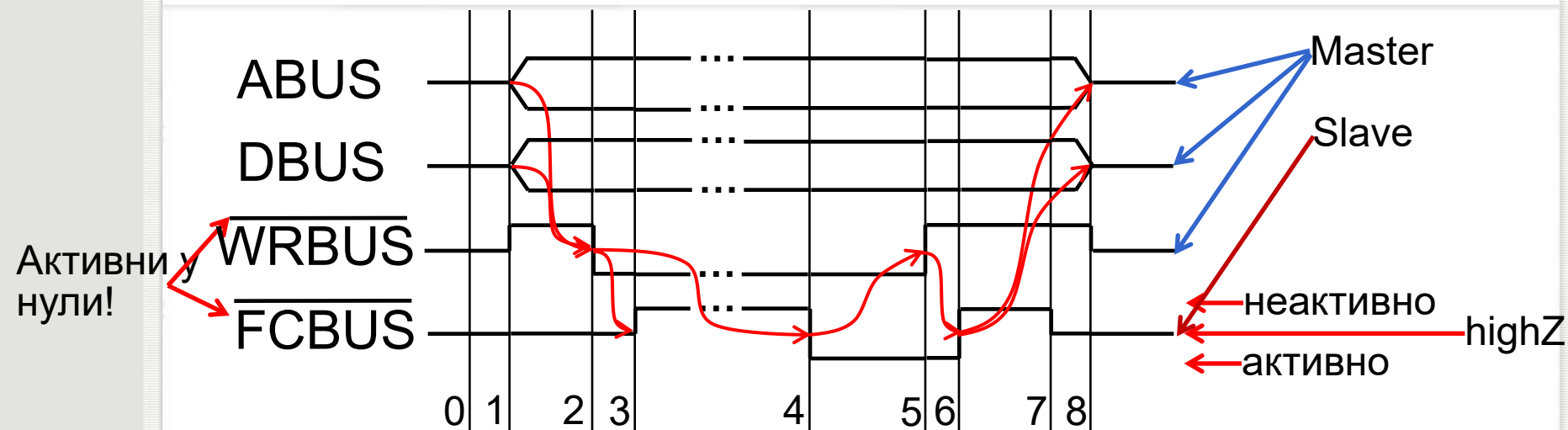
7. На неактивну вредност сигнала RDBUS реагује слуга тако што укида садржај са линија података DBUS и пребацује ове линије у стање високе импедансе, и поставља линију FCBUS најпре на неактивну вредност а затим и у стање високе импедансе.

Асинхрона магистрала-циклус читања



8. На неактивну вредност сигнала FCBUS реагује газда тако што укида садржај са адресних линија ABUS и пребацује ове линије у стање високе импедансе. Тиме је циклус читања комплетиран.

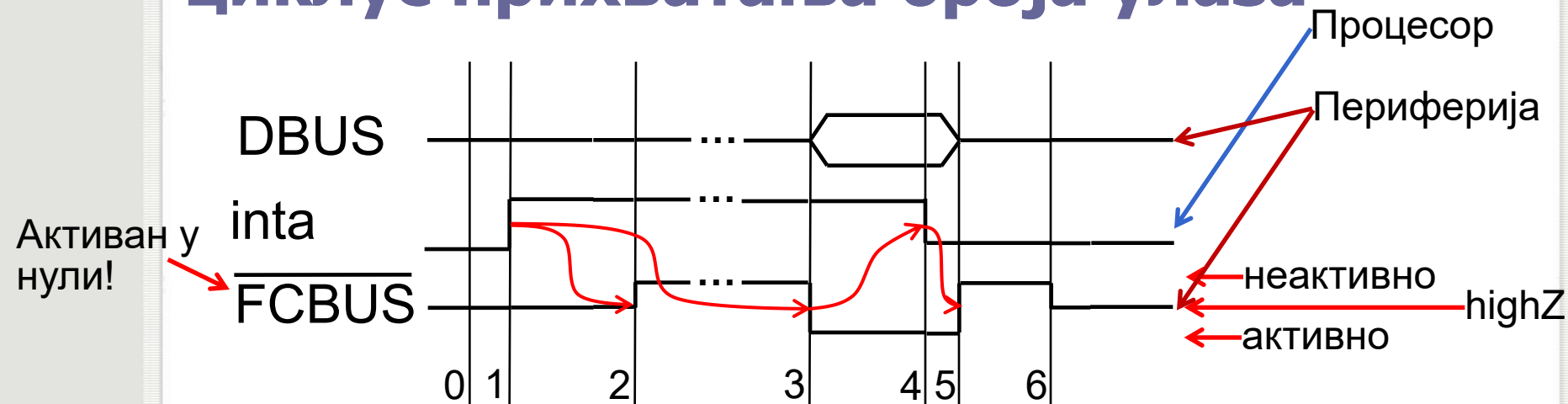
Асинхрона магистрала-циклус уписа



Размена сигнала између газде и слуге (улазно/излазног уређаја) је веома слична као и за случај циклуса читања.

Разлика је да садржај по линијама података DBUS сада шаље газда и да уместо сигнала читања RDBUS газда шаље сигнал уписа WRBUS.

Асинхрона магистрала-циклус прихватања броја улаза

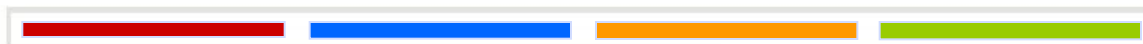


Размена сигнала између газде и слуге (улазно/излазног уређаја) је веома слична као и за случај циклуса читања.

Основна разлика је у томе да процесор као газда не користи адресне линије **ABUS** и управљачку линију **RDBUS** за реализацију циклуса прихватање броја улаза већ користи посебну линију **inta**.

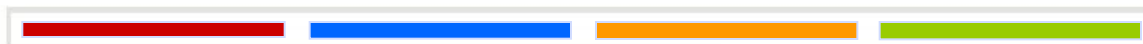
Асинхрона магистрала-циклус прихватања броја улаза

- Процесор постављањем сигнала **inta** на активну и неактивну вредност започиње и завршава циклус прихватање броја улаза.
- Слуга реагује на активну и неактивну вредност сигнала **inta** на исти начин на који реагује на сигнал **RDBUS** у случају циклуса читања.
- Слуга по линијама **DBUS** шаље број улаза и постављањем сигнала **FCBUS** на активну и неактивну вредност указује када је садржаја на линијама важећи и неважећи.



Асинхрона магистрала

- Добра стране асинхроне магистрале је да се сигнали између газде и слуге размењују на идентичан начин без обзира на то колико је време приступа слуге, па се на магистралу могу повезивати модули са различитим временима приступа и сваком од њих приступати са његовим временом приступа.
- Лоша страна асинхроне магистрале је да се у ситуацијама када газда и слуга раде са посебним сигнаlima такта губи време приликом размене управљачких сигнала **RDBUS**, **WRBUS** и **FCBUS**.



Синхрона магистрала

- Модули магистрале раде синхроно на исти сигнал такта **MCLK**
- Трајање циклуса на магистрали је фиксно.

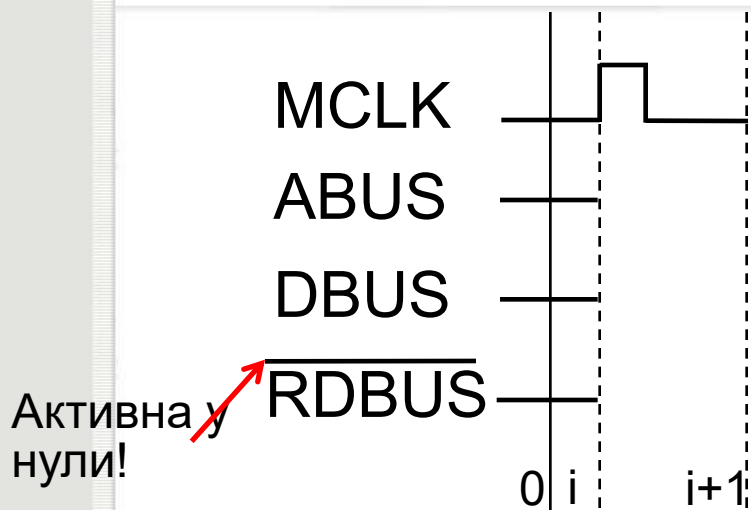
- Линије:

- адресне линије **ABUS**
- линије података **DBUS**
- стартовање читања **RDBUS**
- стартовање уписа **WRBUS**
- такт магистрале **MCLK**
- сигнал потврде прекида **inta**

Колико?
Целобројни умножак MCLK

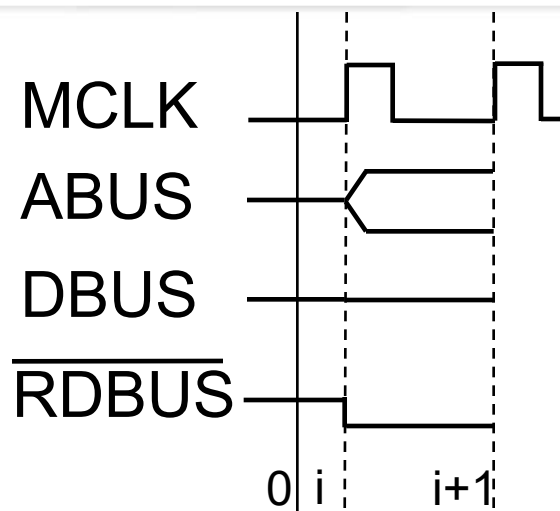
Може да се разликује се од такта на коме раде делови рачунара

Синхрона магистрала-циклус читања



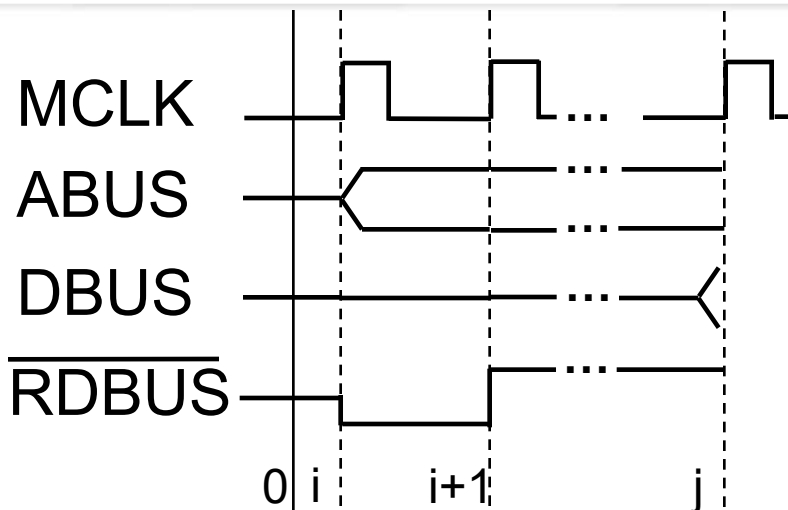
0. Док не крене са реализацијом циклуса читања газда држи адресне линије **ABUS** и управљачку линију читања **RDBUS** у стању високе импедансе. То исто чини и модул који ће постати слуга са линијама података **DBUS**.

Синхрона магистрала-циклус читања



- i. Газда на i . сигнал такта отвара бафере са три стања и пушта адресу на адресне линије **ABUS** и линију **RDBUS** поставља на активну вредност.
- i . – $i+1$. Сви модули од i . сигнала такта примају адресу и до појаве ($i+1$). сигнала такта одређују да ли адреса припада том модулу (сигнал **HIT**).

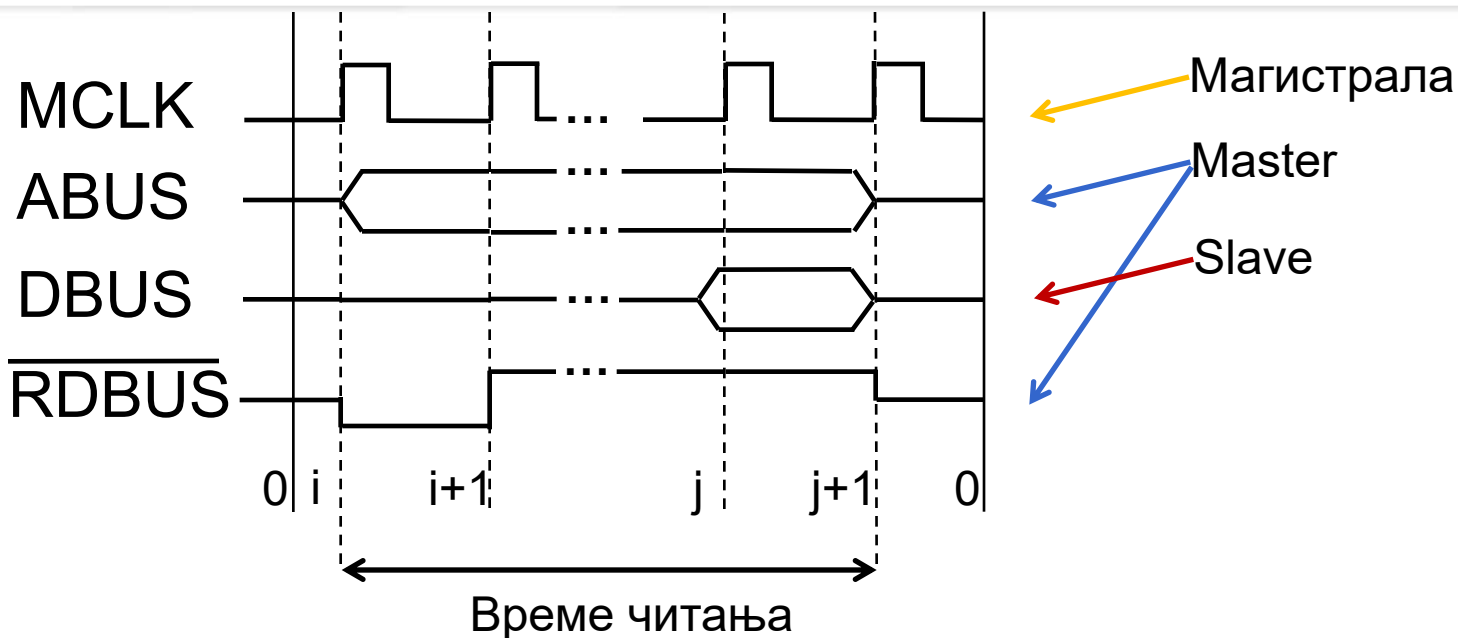
Синхрона магистрала-циклус читања



$i+1$. Газда на $(i+1)$. сигнал такта линију **RDBUS** поставља на неактивну вредност.

$i+1$. – j . Модул који је одредио да је њему упућен захтев на $(i+1)$. сигнал такта утврђује да је сигнал **RDBUS** активан и као слуга креће са читањем, најкасније до j . сигнала такта пушта прочитани садржаја на линије података **DBUS**

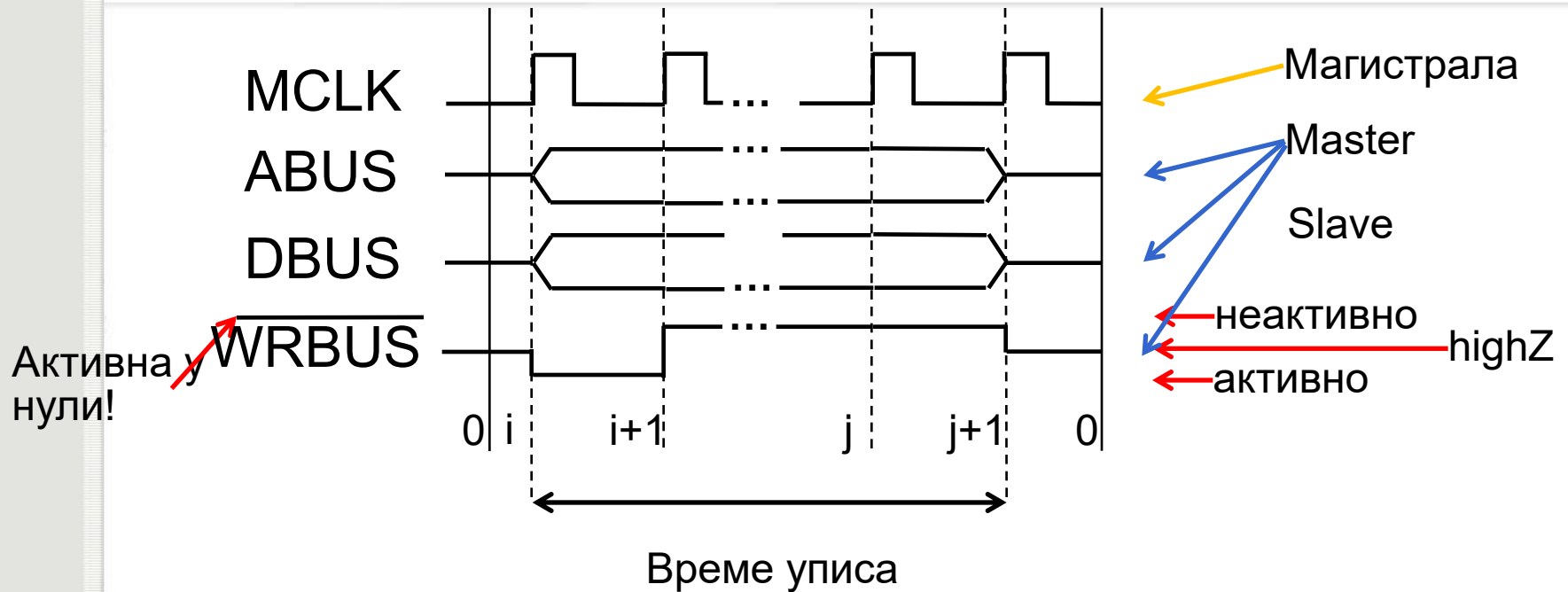
Синхрона магистрала-циклус читања



$j+1$. Газда на $(j+1)$. сигнал такта завршава циклус на магистралаи тако што адресне линије **ABUS** и управљачку линију читања **RDBUS** поставља у стање високе импедансе.

$j+1$. Модул који је одредио да је њему упућен захтев на $(j+1)$ -ви сигнал такта завршава циклус на магистралаи тако што линије података **DBUS** поставља у стању високе импедансе.

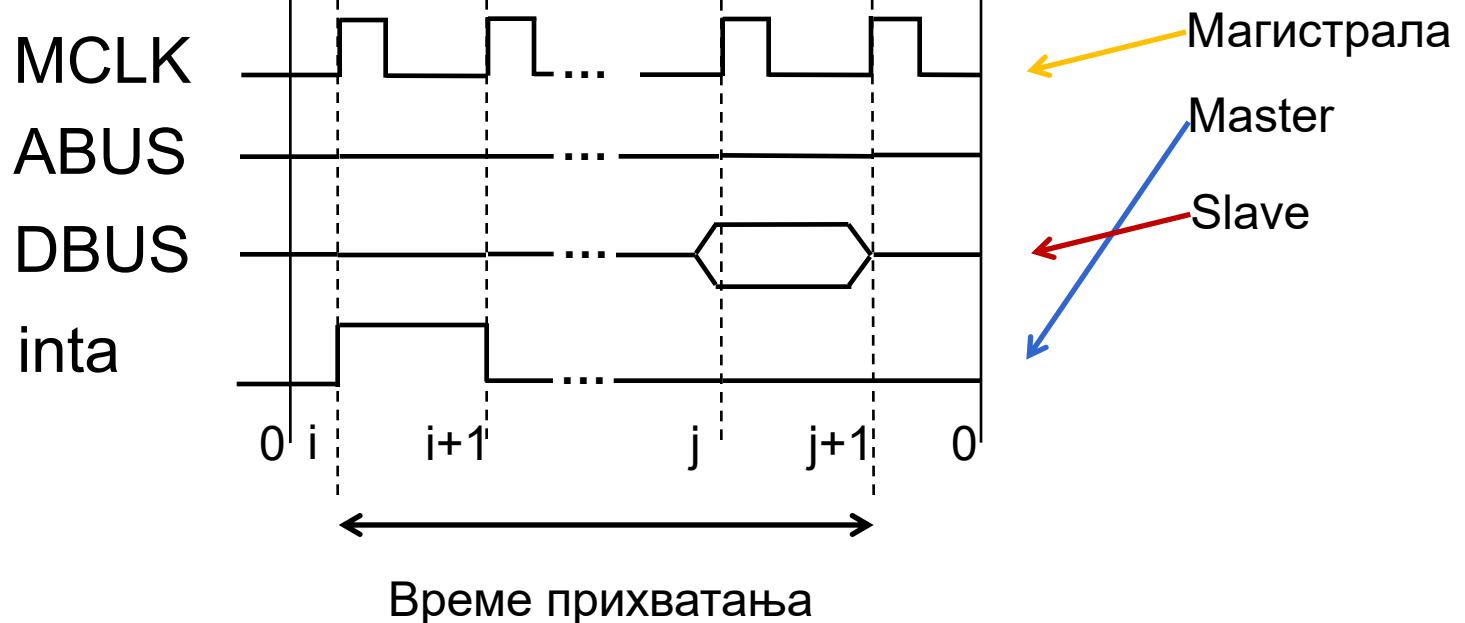
Синхрона магистрала-циклус уписа



Размена сигнала између газде и слуге је веома слична као и за случај циклуса читања.

Једина разлика је да садржај по линијама података **DBUS** сада шаље газда и да уместо сигнала читања **RDBUS** газда шаље сигнал уписа **WRBUS**.

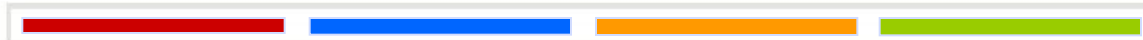
Синхрона магистрала-циклус прихватања броја улаза



Размена сигнала између процесора као газде и неког од уређаја као слуге је веома слична као и за случај циклуса читања. Разлика је у томе да процесор као газда не користи адресне линије **ABUS** и управљачку линију **RDBUS** за реализацију циклуса прихватање броја улаза, већ само линију **inta**, док слуга као и у случају циклуса читања шаље број улаза по линијама **DBUS**.

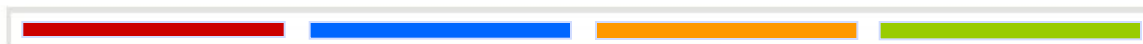
Синхрона магистрала

- Добра страна синхроне магистрале је да се због тога што газда и слуга раде синхроно са истим сигналом такта и што је фиксирано шта газда и шта слуга раде на одређене сигнале такта, не губи време за размену управљачких сигнала између газде и слуге.
- Лоша страна синхроне магистрале може да буде фиксно трајање циклуса, јер се модули код којих је време приступа дуже од оног за које је магистрала пројектована не могу додавати, док се са модулима код којих је време приступа краће од пројектованог времена приступа магистрале циклуси реализују са пројектованим временом приступа магистралаи.



Арбитрација

- Арбитрација је одлучивање о томе ко може да реализује циклус на магистрали.
- У зависности од тога како се реализује арбитрација разликују се системи код којих је то:
 - функција процесора и
 - системи код којих је то функција арбитрактора.



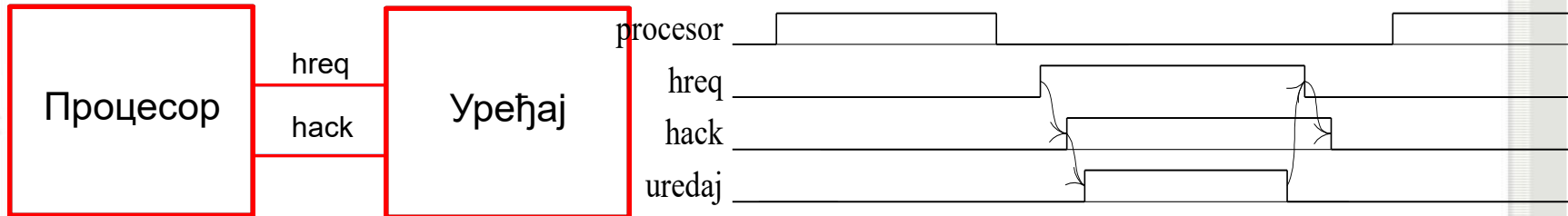
Процесор арбитратор

- Код ових система магистрала је увек у поседу процесора.
- Улазно/излазни уређај који треба да реализује циклус на магистрали мора:
 - најпре да упути процесору захтев за коришћење магистрале
 - по добијању дозволе коришћења магистрале од процесора реализује циклус на магистрали.
- Између улазно/излазног уређаја и процесора постоји пар линија **hreq** и **hack**.
- По линији **hreq** уређај шаље захтев за коришћење магистрале.
- По линији **hack** процесор шаље уређају дозволу коришћења магистрале.

Процесор арбитратор - протокол

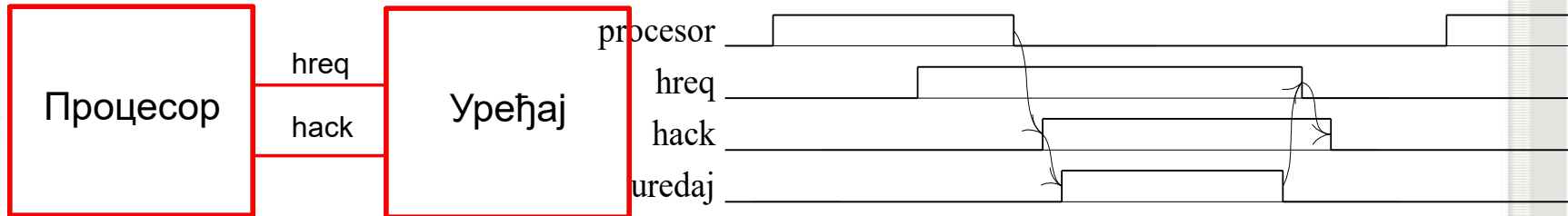
- Уређај поставља сигнал **hreq** на активну вредност и чека да добије активну вредност сигнала **hack**.
- По добијању активне вредности сигнала **hack** уређај реализује циклус на магистрали при чему држи активну вредност сигнала **hreq** све време трајања циклуса на магистрали.
- Тек по завршетку циклуса на магистрали уређај поставља сигнал **hreq** на неактивну вредност, на шта му процесор, постављањем сигнала **hack** на неактивну вредност, укида дозволу коришћења магистрале.

Уређај и процесор не чекају



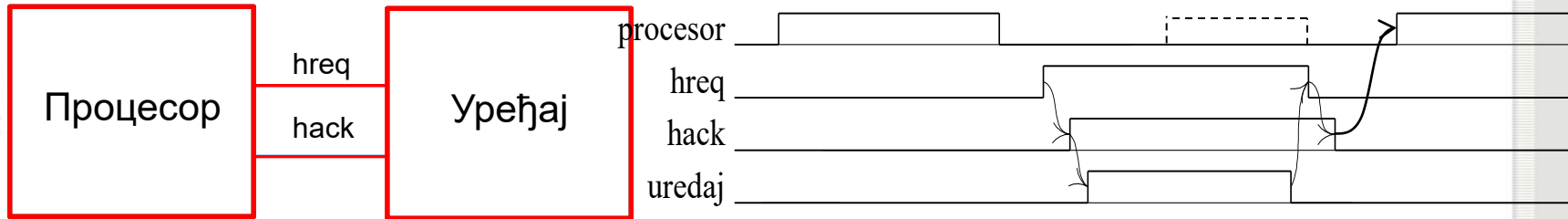
1. Процесор користи магистралу
2. Процесор заврши коришћење магистрале
3. Уређај тражи магистралу
4. Процесор дозвољава уређају магистралу
5. Уређај користи магистралу
6. Уређај заврши са коришћењем магистрале
7. Процесор повлачи дозволу
8. Процесор користи магистралу

Уређај чека процесор



1. Процесор користи магистралу
2. Уређај тражи магистралу, чека
3. Процесор заврши са коришћењем магистрале
4. Процесор дозвољава уређају магистралу
5. Уређај користи магистралу
6. Уређај заврши са коришћењем магистрале
7. Процесор повлачи дозволу
8. Процесор користи магистралу

Процесор чека уређај



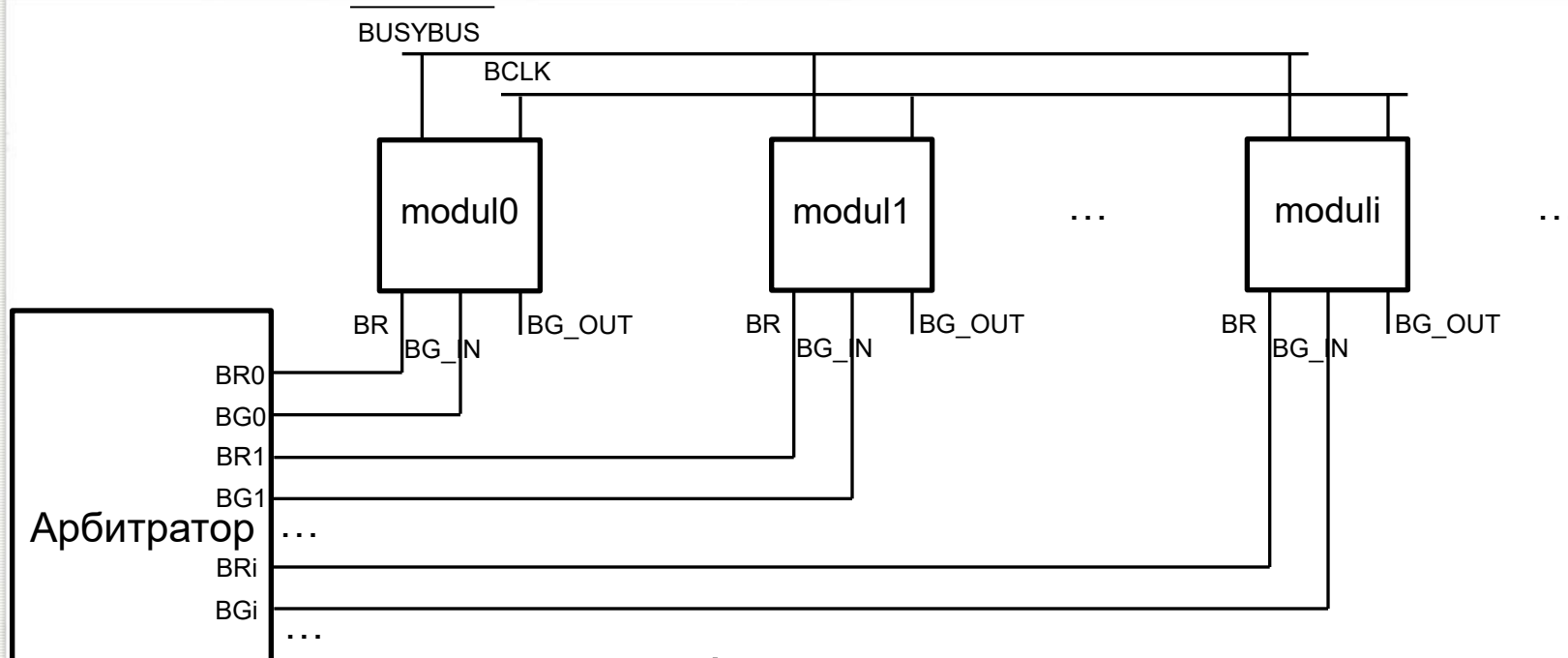
1. Процесор користи магистралу
2. Процесор заврши са коришћењем магистрале
3. Уређај тражи магистралу
4. Процесор дозвољава уређају магистралу
5. Уређај користи магистралу
6. Процесор жели магистралу, чека
7. Уређај заврши са коришћењем магистрале
8. Процесор повлачи дозволу
9. Процесор користи магистралу

Арбитратор

- Код ових система сви модули који желе да реализују неки циклус на магистрали, а то су процесор и улазно/излазни уређај са директним приступом меморији, морају најпре да учествују у арбитрацији, па тек потом модул који добије дозволу коришћења магистрале може да реализује циклус на магистрали.
- У зависности од тога како се утврђује који од модула добија дозволу коришћења магистрале разликују се:
 - паралелна и
 - серијска арбитрација (*Daisy chain*).

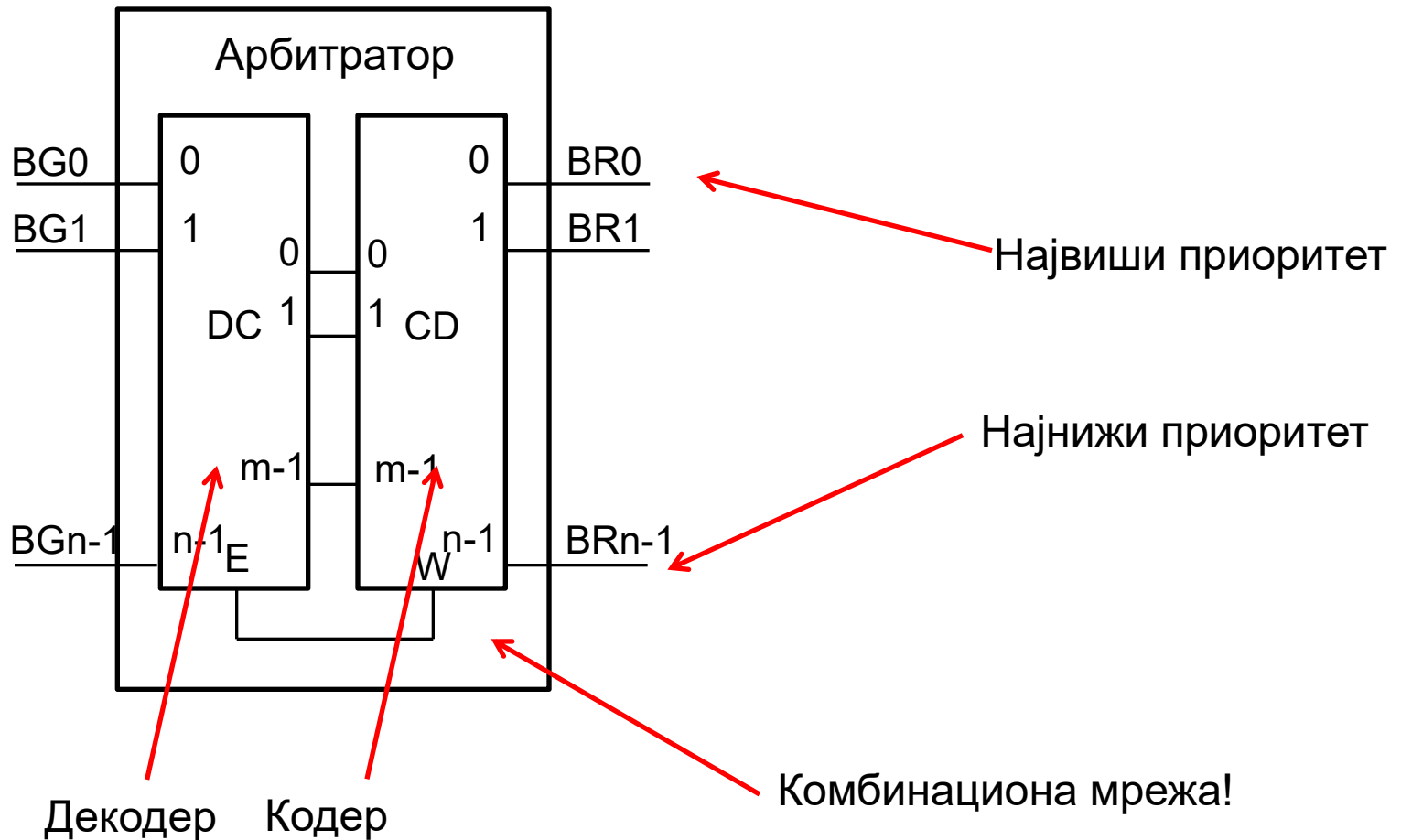


Паралелна арбитрација

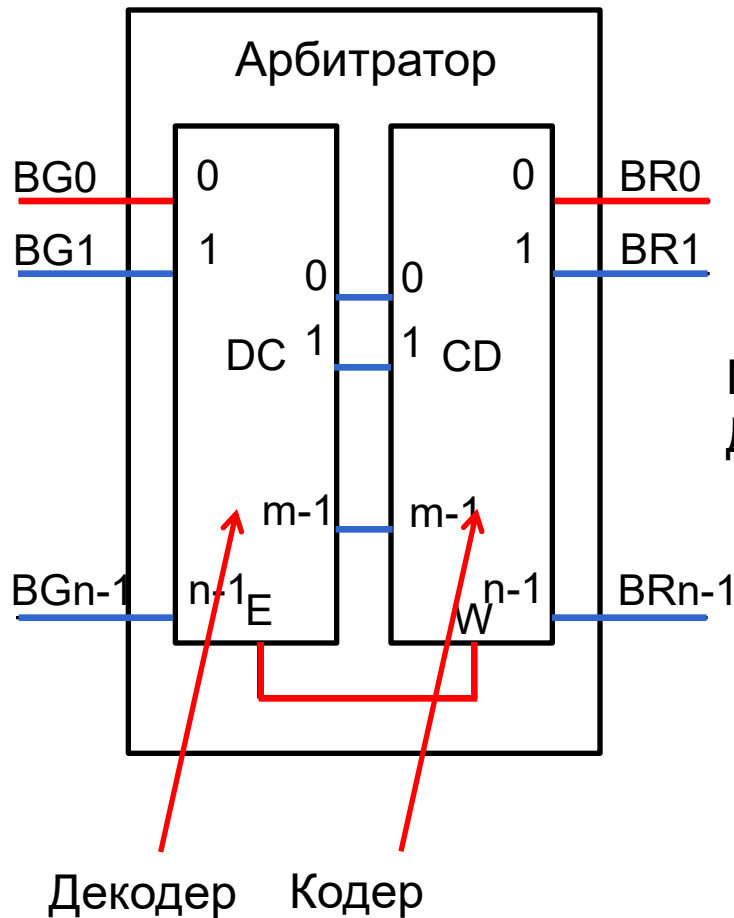


- Између модула и арбитраatora постоји пар линија:
 - BR (Bus Request) - модул шаље захтев за коришћење магистрале
 - BG (Bus Grant) - арбитратор шаљу модулу дозволу коришћења магистрале
- BUSYBUS – сигнал заузећа магистрале

Структура паралелног арбитража

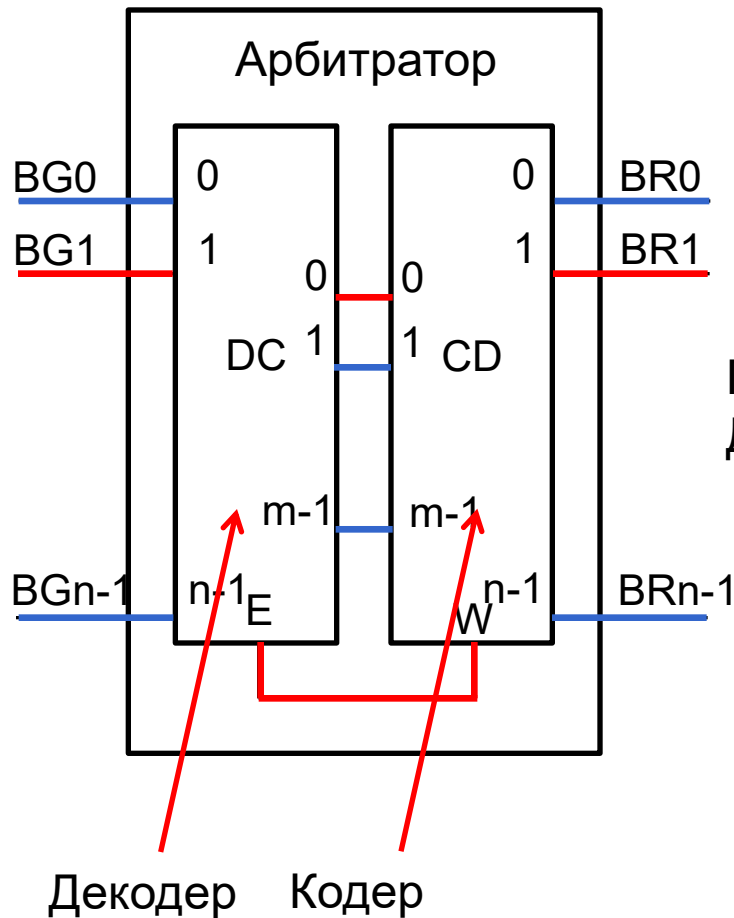


Структура паралелног арбитража



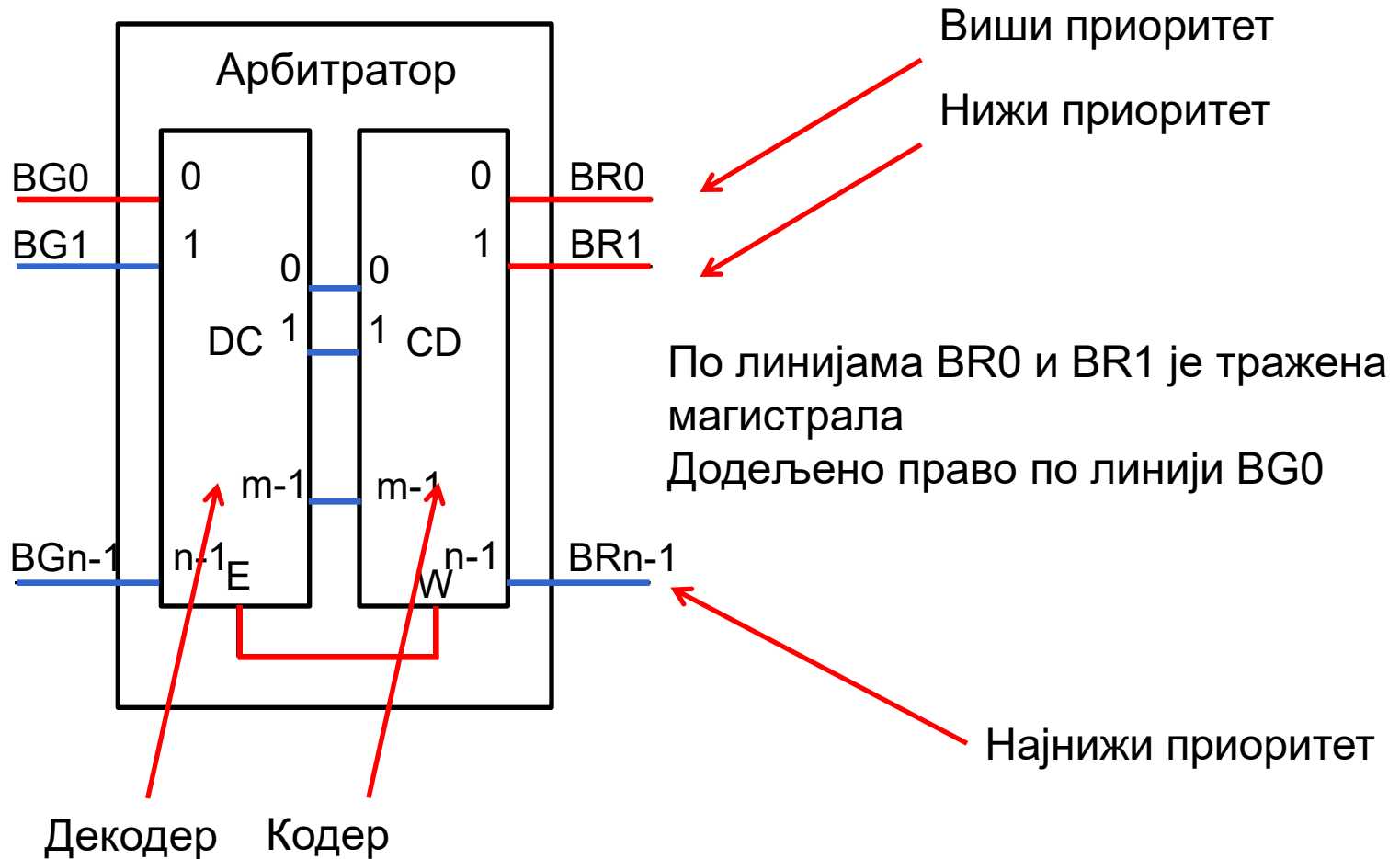
По линији BR_0 је тражена магистрала
Додељено право по линији BG_0

Структура паралелног арбитража

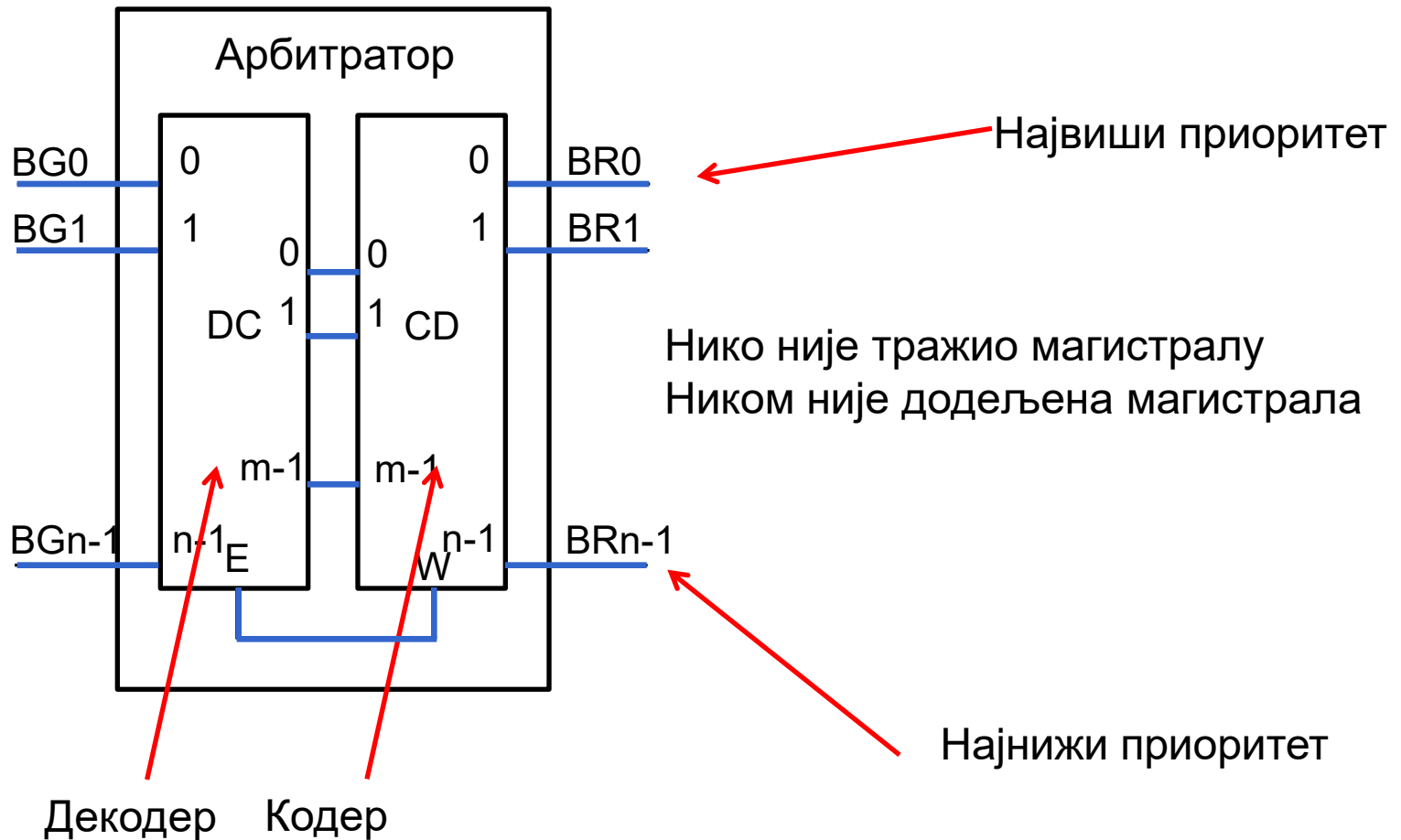


По линији BR1 је тражена магистрала
Додељено право по линији BG1

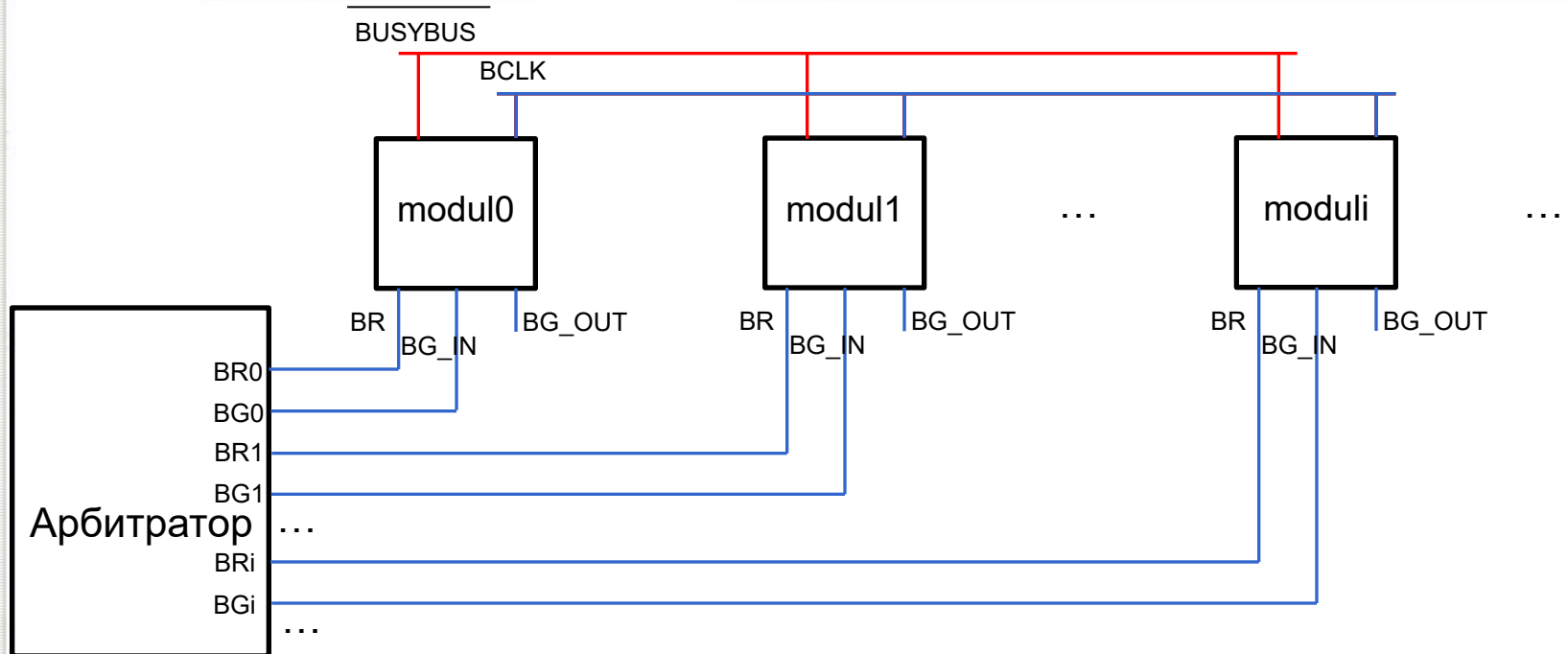
Структура паралелног арбитража



Структура паралелног арбитража

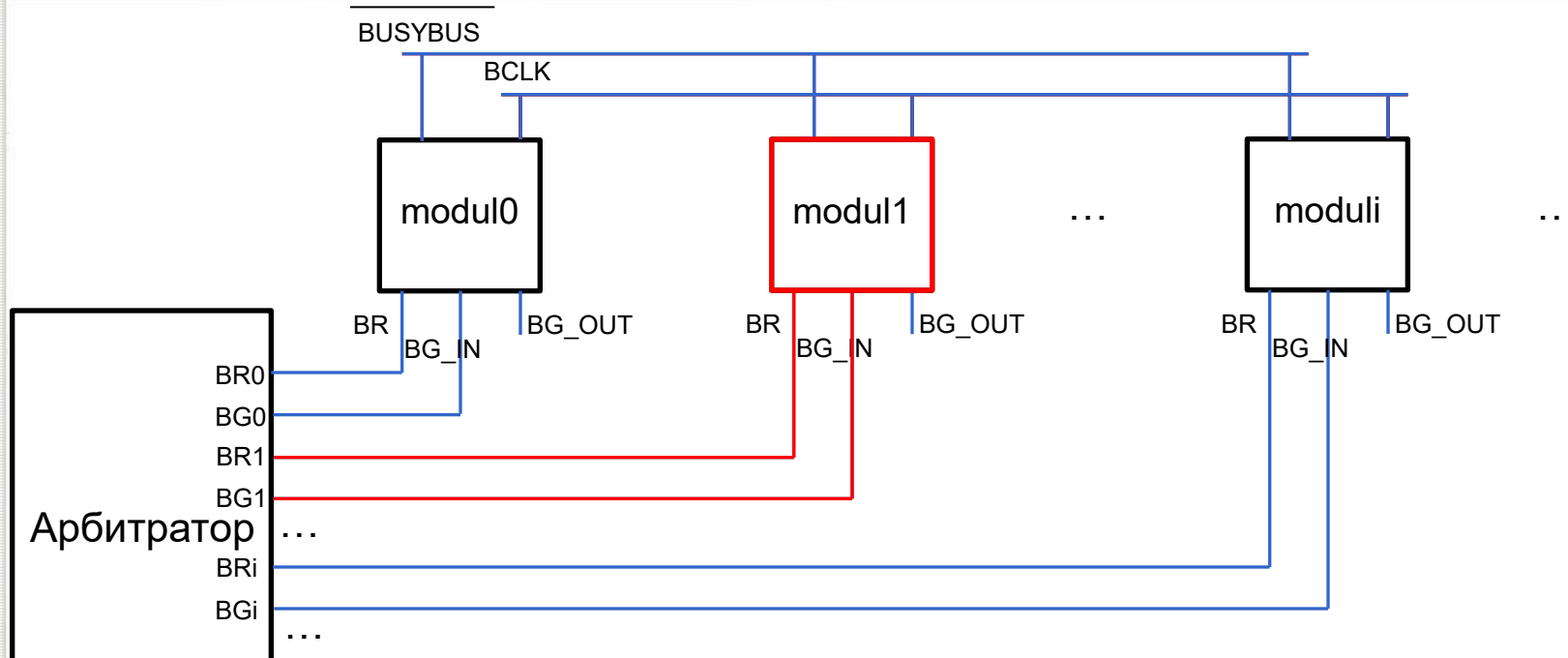


Паралелна арбитрација



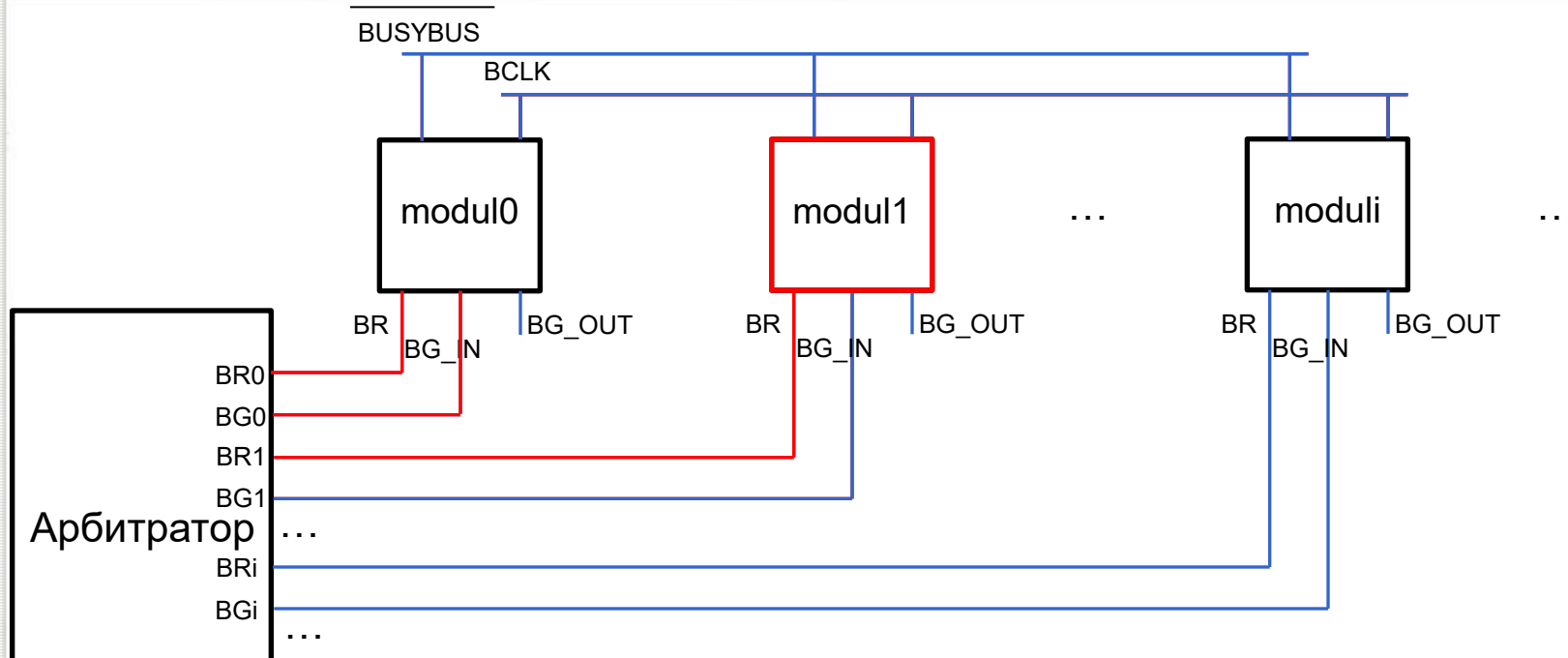
- Ниједан од уређаја не користи магистралу
- Сигнал BUSYBUS је на неактивној вредности

Паралелна арбитрација



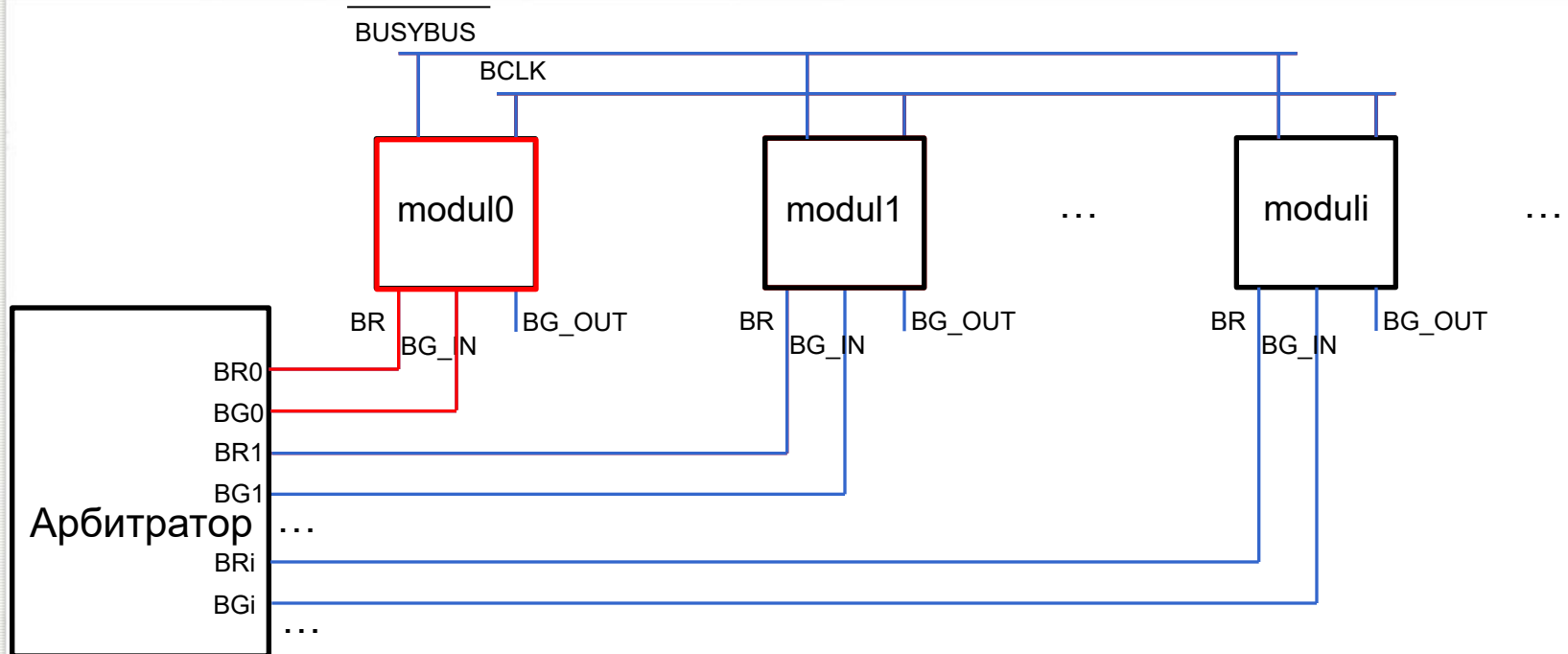
1. Модул1 је затражио магистралу
2. Арбитратор дозвољава коришћење магистрале модулу1
3. Пошто је магистрала била слободна, у наредном такту магистрале модул1 сигнал **BUSYBUS** поставља на активну вредност
4. Модул1 користи магистралу

Паралелна арбитрација



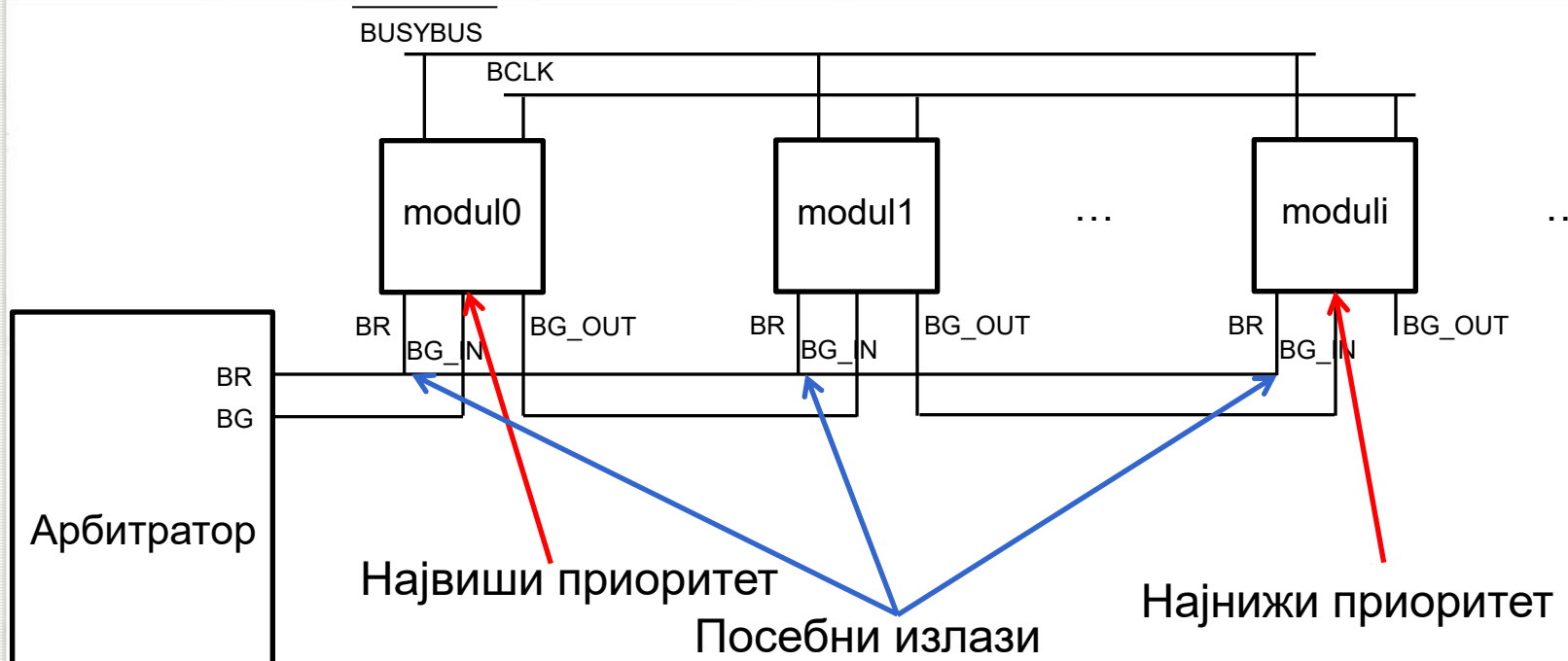
1. Модул1 користи магистралу
2. Модул0 је затражио магистралу
3. Арбитратор дозвољава коришћење магистрале модулу0
Укинуо је дозволу модулу1
4. Модул0 чека да се магистрала ослободи јер је модул1 користи (**BUSYBUS** постављен на активну вредност)

Паралелна арбитрација



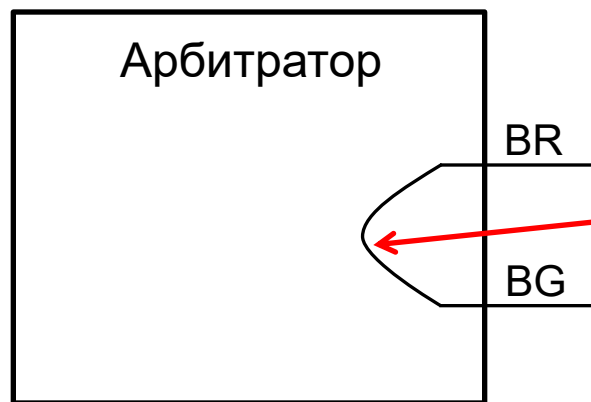
1. Модул1 завршава коришћење магистрале, повлачи захтев и BUSYBUS поставља на неактивну вредност
2. По откривању да је BUSYBUS на неактивној вредности модул0, у наредном такту магистрале BUSYBUS поставња на активну вредност
3. Модул0 користи магистралу

Серијска арбитрација



- Модули су повезани у ланац (***Daisy chain***)
- Модул i (нижег приоритета) по својој линији BG_IN од модула $i-1$ (вишег приоритета) добија дозволу за коришћење магистрале преко линије BG_OUT

Структура серијског арбитрактора



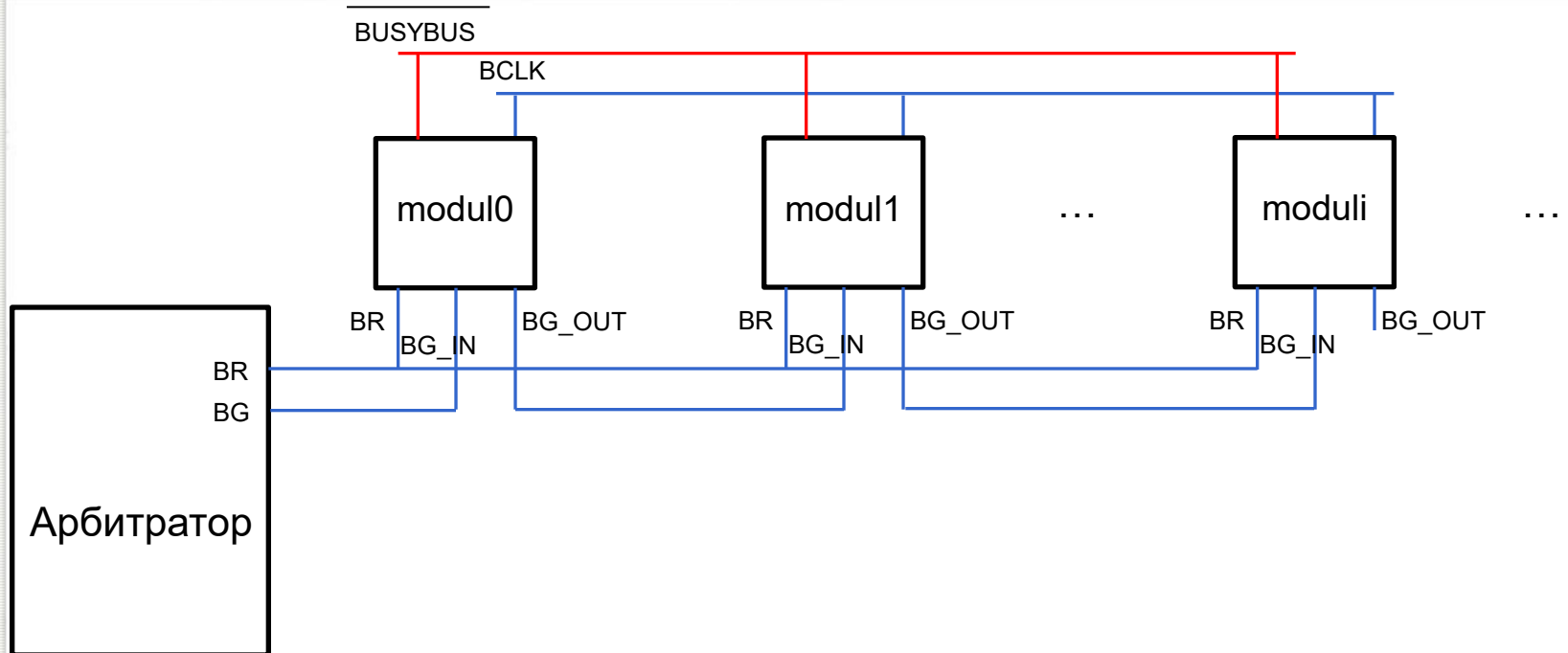
Кратка веза

или



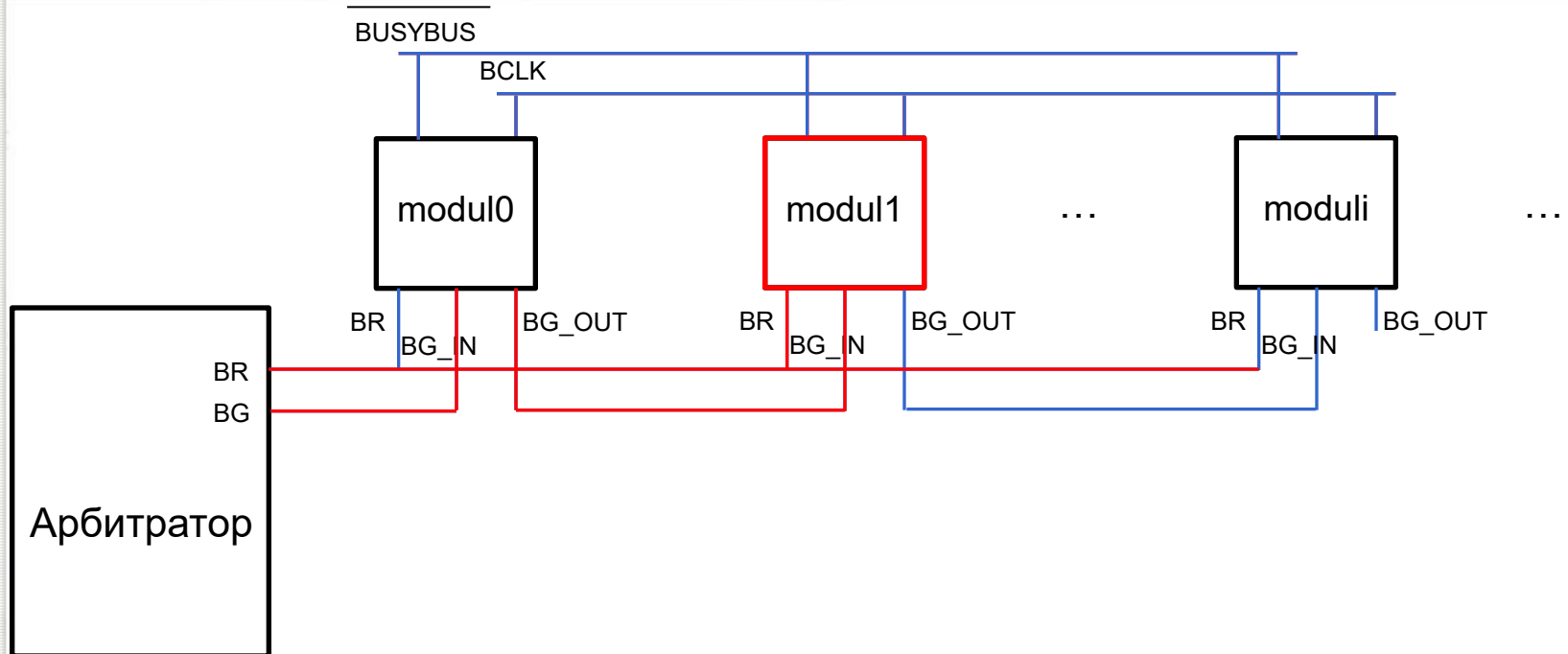
Вишак!!
Нема потребе за
отвореним колектором на BR

Серијска арбитрација



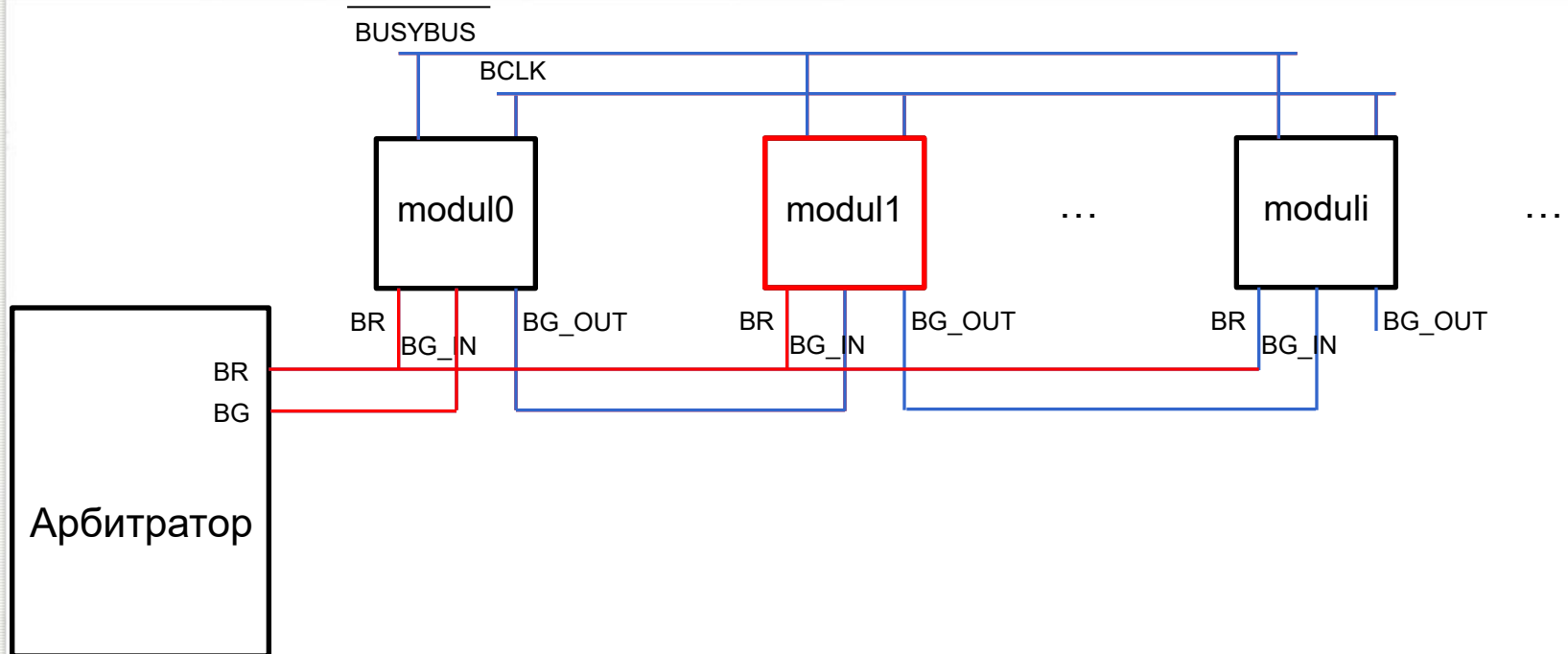
- Ниједан од уређаја не користи магистралу
- Сигнал **BUSYBUS** је на неактивној вредности

Серијска арбитрација



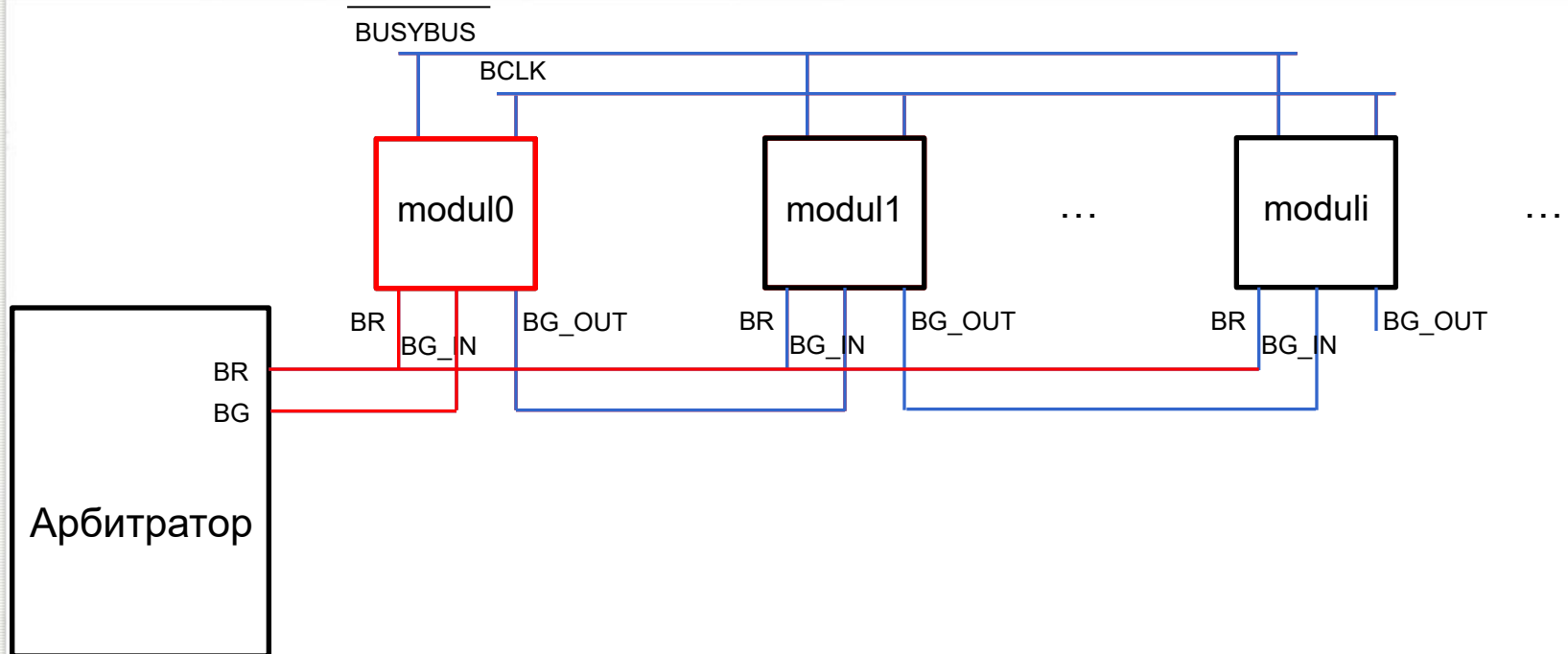
1. Модул1 је затражио магистралу
2. Арбитратор дозвољава коришћење магистрале модулу0. Модул0 прослеђује дозволу следећем модулу у низу
3. Модул1 прима дозволу и пошто је магистрала била слободна, поставља BUSYBUS на активну вредност
4. Модул1 користи магистралу

Серијска арбитрација



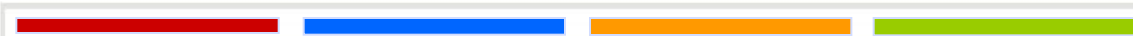
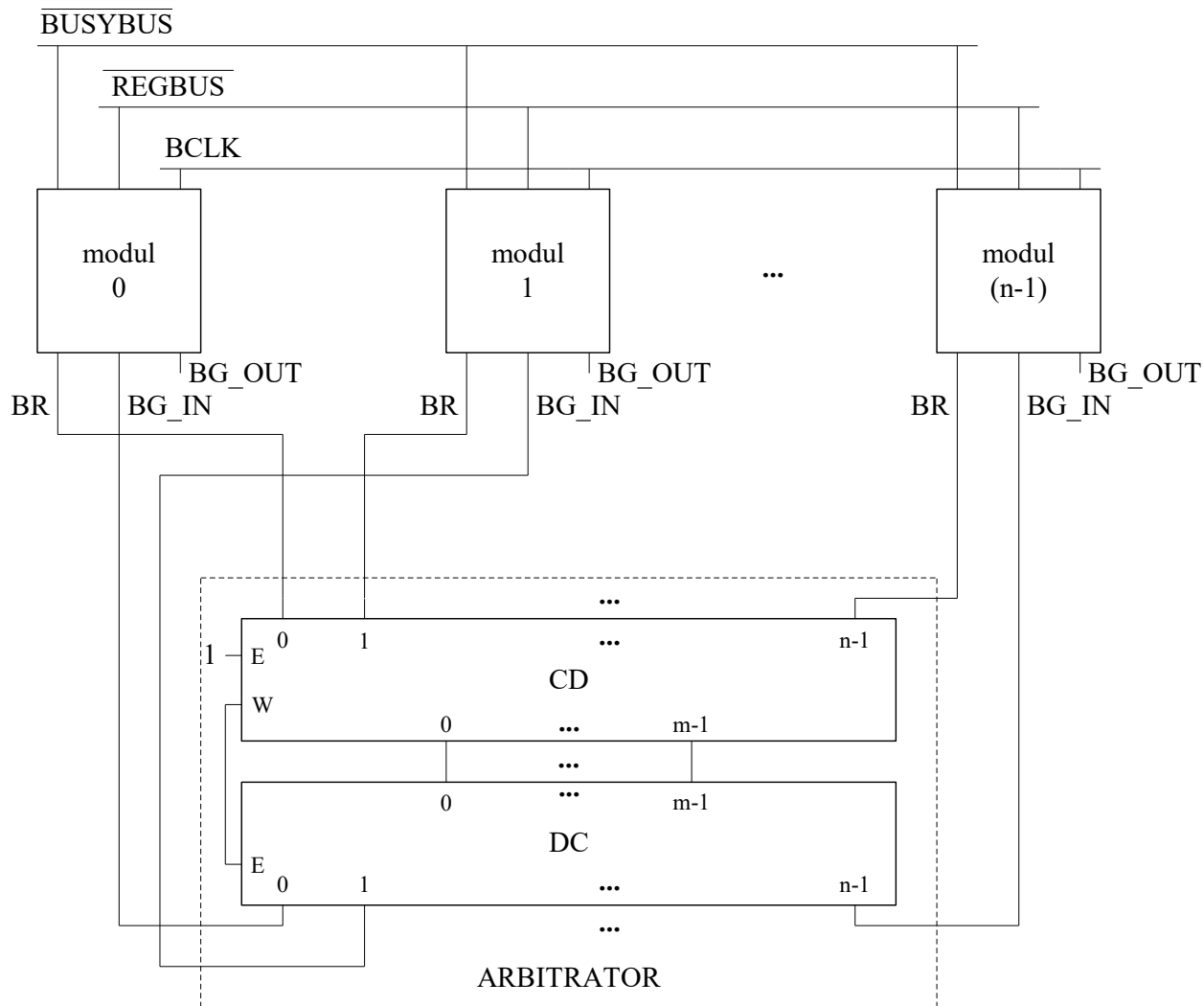
1. Модул1 користи магистралу
2. Модул0 је затражио магистралу
3. Арбитратор дозвољава коришћење магистрале модулу0. Модул0 укида дозволу следећем модулу
4. Модул0 чека да се магистрала ослободи јер је модул1 користи (**BUSYBUS** постављен на активну вредност)

Серијска арбитрација

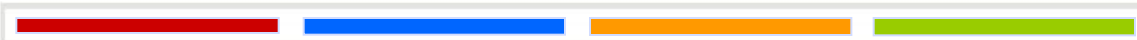
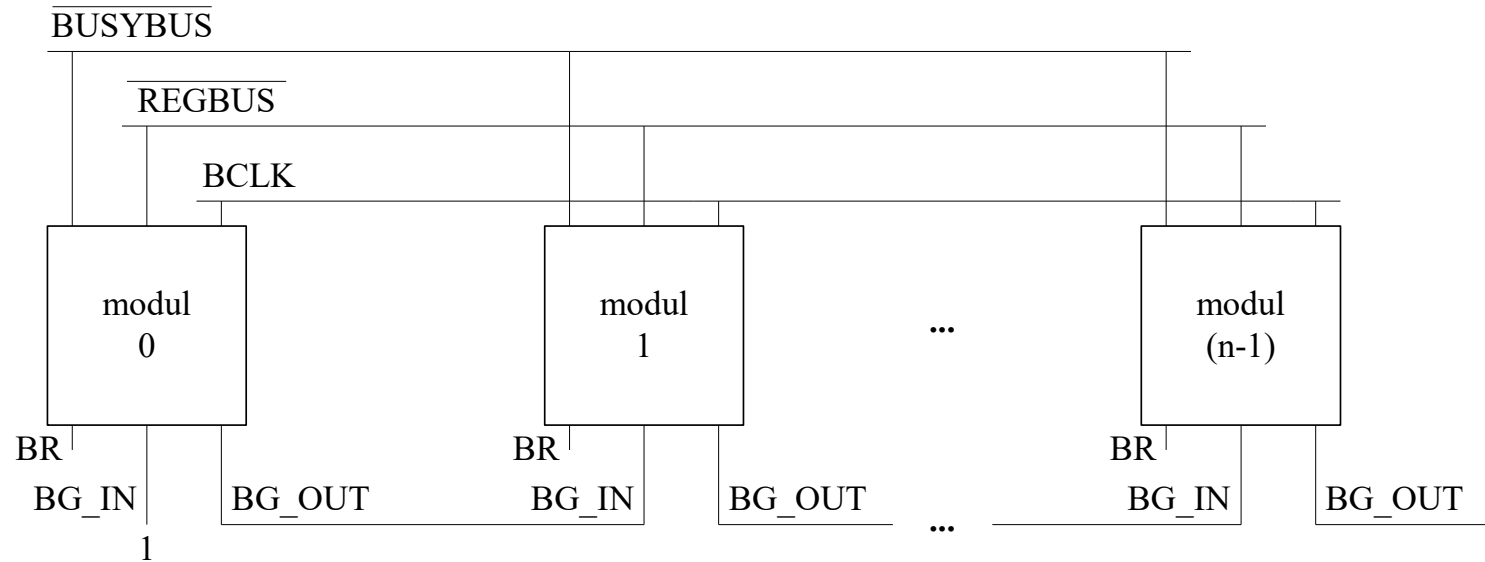


1. Модул1 завршава коришћење магистрале, повлачи захтев и **BUSYBUS** поставља на неактивну вредност
2. По откривању да је **BUSYBUS** на неактивној вредности модул0, у наредном такту магистрале **BUSYBUS** поставља на активну вредност
3. Модул0 користи магистралу

Паралелна арбитрација са памћењем



Серијска арбитрација са памћењем



Адресирање уређаја

- Опсег адреса које могу да се користе за адресирање меморијских локација се назива **меморијски адресни простор**.
- Опсег адреса које могу да се користе за адресирање регистара уређаја се назива **улазно излазни адресни простор**.



Адресирање уређаја

- На основу чега уређај одређује да је циклус на магистралу упућен њему?
- Уређај анализира садржај магистрале и одређује да ли је адресиран неки регистар уређаја.



Адресирање уређаја

- Уколико се регистрима уређаја приступа истим инструкцијама као и меморијским локацијама (LOAD/STORE), каже се да је улазно/излазни адресни простор **меморијски пресликан**.
- Уколико постоје посебне инструкције за приступ регистрима уређаја (IN/OUT) и постоје посебне инструкције за приступ меморијским локацијама (LOAD/STORE), каже се да су улазно/излазни и меморијски адресни простори **раздвојени**.

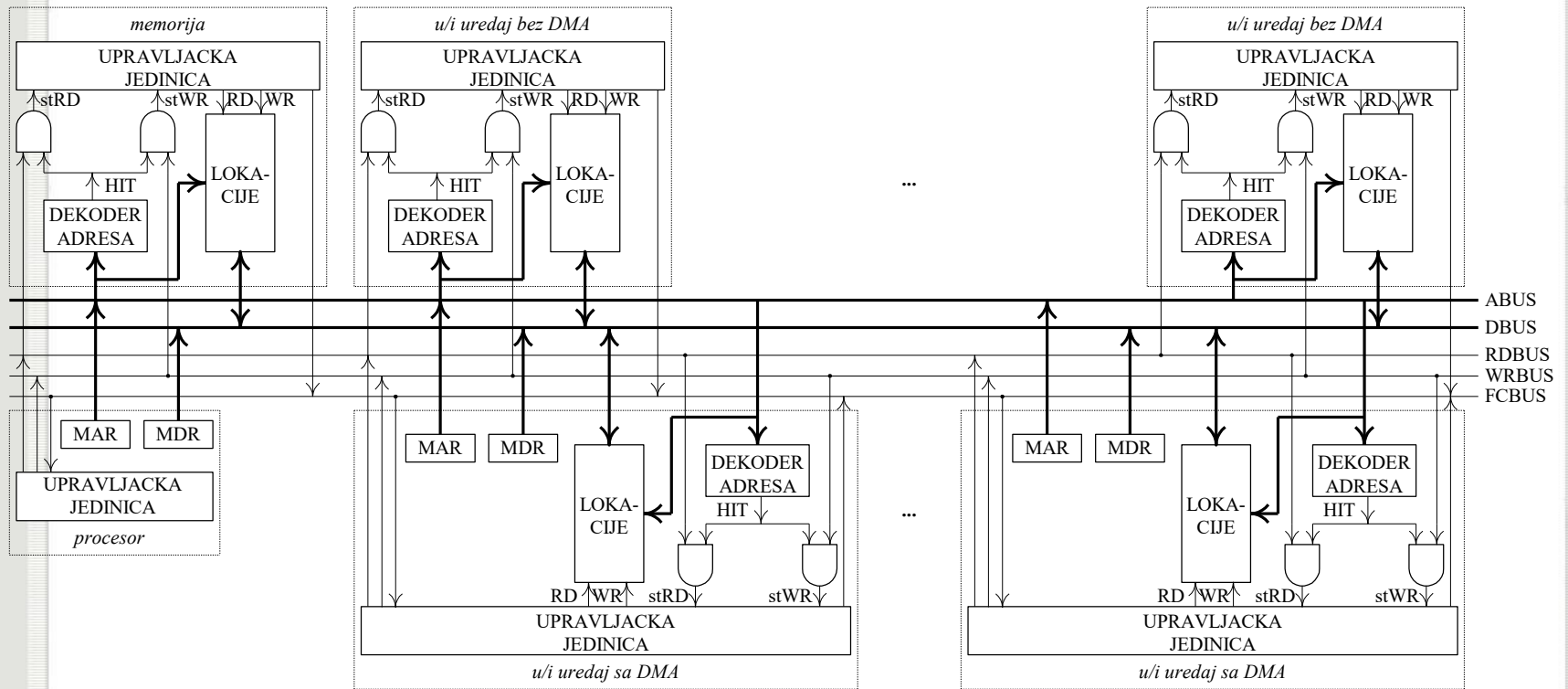
Постоји линија M/\bar{IO}



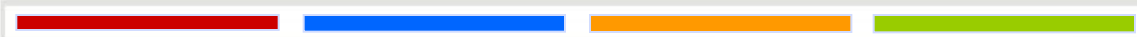
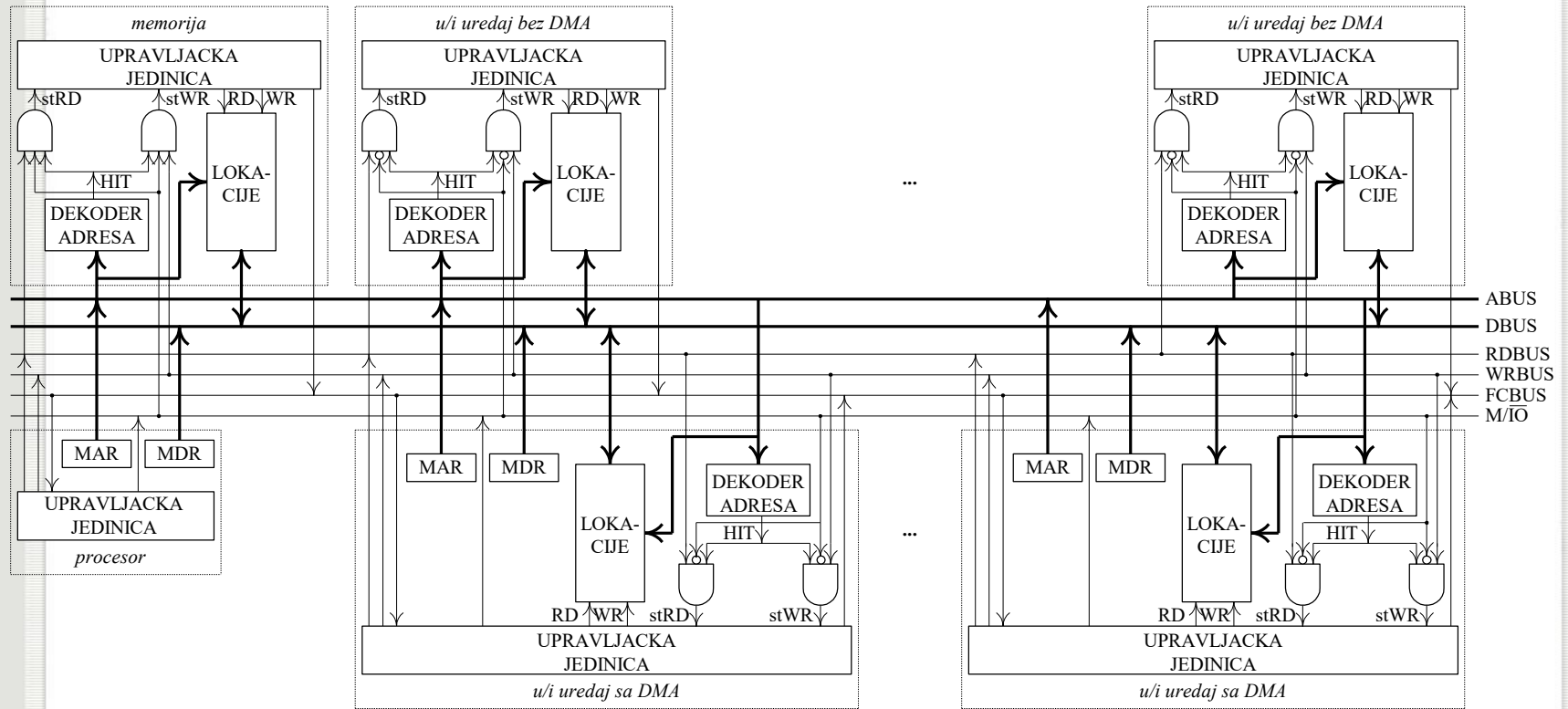
Циклуси на магистралаи - поново

- Када је улазно/излазни адресни простор меморијски пресликан операције читања и уписа у регистар периферије су исте као код меморије. (Већ описани)
- Када је улазно/излазни адресни простор раздвојен од меморијског операције читања и уписа у регистар периферије су сличне онима код меморије. Разлика је што приликом приступа:
 - периферији сигнал $\overline{M/\overline{IO}}$ има вредност 0,
 - меморији сигнал $\overline{M/\overline{IO}}$ има вредност 1.

Адресирање: меморијски преликан IO



Адресирање: раздвојен IO



Питања?

Електротехнички Факултет
Универзитет у Београду

