

# Организација рачунара



# Садржај

- Увод
- Циљеви и исход предмета
- Наставници
- Програм предмета
- Лабораторијске вежбе
- Предиспитне обавезе студената
- Начин полагања испита
- Литература

# Увод

- Назив предмета:  
Организација рачунара
- Година: 2, семестар: 3
- Фонд часова: 2 + 2 + 1
- Број ЕСПБ бодова:
  - 13E112OR: 5
  - 19E112OR: 6
- Предуслов:  
одслушан предмет Основи рачунарске технике

# Циљеви и исход предмета

- **Циљ:** Упознавање са структуром рачунара, елементима архитектуре и организације процесора, и структуром магистрале, улазно/излазног система, и меморијског система.
- **Исход:** По завршетку курса студенти ће бити способни да разумеју: структуру рачунара; елементе архитектуре и организације рачунара, структуру магистрале, улазно/излазног система, и меморијског система.

# Наставници

- **Предавања: др Жарко Станисављевић**  
**zarko@etf.bg.ac.rs**  
Канцеларија 37  
Снимци часова доступни путем Moodle курса  
Консултације сваке недеље путем MSTeams платформе
- **Вежбе: магст. инж. Данко Миладиновић**  
**danko@etf.bg.ac.rs**  
Канцеларија 26а  
Консултације после наставе и по договору

# Програм предмета

- *Архитектура процесора*
- *Механизам прекида*
- *Магистрала*
- *Улаз/излаз*
- *Меморија*
- *Кеш меморија*
- *Виртуелна меморија*

# Лабораторијске вежбе – опција 1

- 5 лабораторијске вежбе
- Свака вежба 4 поена
- Преглед вежби:
  - *Инструкције преноса, аритметичке инструкције, инструкције скока, логичке инструкције, инструкције померања и ротирања, Механизам прекида*
  - *Синхронизација рада процесора и контролера са dma при коришћењу системске магистрале, Улаз/излаз са контролером без dma, Програмирани улаз/излаз помоћу контролера са dma*
- Једна надокнада

# Преглед симулатора

Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

PROCESOR

DBUS highZ  
ABUS highZ  
RDBUS  
WRBUS  
FCBUS

DBUS ABUS

MEMORIJA

RDBUS  
WRBUS  
FCBUS

DBUS ABUS

PROCESOR

Operaciona jedinica

M15 ... M0 - interna magistrala

0100

16

Registri

Interfejs

Operacije

Prekidi

Upravljacka jedinica

sistemska magistrala

magistrala podataka DBUS highZ

adresna magistrala ABUS highZ

upravljacka magistrala RDBUS

FCBUS

hldr DMA1.x

hlda

intr3 DMA1.x

intr2 KP2.x

intr1 KP1.x

inta3

inta2

inta1

imm FAULT

PROCESOR

MEMORIJA

DMA

PERIFERIJA 2

PERIFERIJA 1

Simulation parameters

(Clk+) \* : 0

(Ins+) \* : 0

(Prg+) time : 0

n \* (Clk+) stop :

n \* (Ins+) stop :

(Prg+) time stop :

time = 0

inst. = Instruction fetch

cpu

mem

Hardware: ECS - Education  
Position: System

Info	Status	Navigation	Misc	Simulation
T = 00 PCout, MARin, Xin * Faza citanja instrukcije * PC u MAR i X ** Ozicena realizacija upravlj	PC = 0100	UP	More	Clk+
	T = 0	CPU hierar.	Clear	Ins+
	Tclk = 0	Main	Help	Prg+

Hardware: CPU - Central Processing Unit  
Position: Central Processing Unit

Clock stop: -  
Status: time = 0



# Лабораторијске вежбе – опција 2

- 3 лабораторијске вежбе – 2 припремне (не оцењује се) + 1 за оцену (20 поена)
- Преглед вежби:
  - *Упознавање са радом са FPGA плочицама,*  
*Упознавање са PS/2 протоколом*
  - *Пројектовање уређаја – PS/2 протокол*
- Једна надокнада

# Предиспитне обавезе студената

- **Колоквијум – 30 поена**
  - Област: Архитектура и организација процесора, механизам прекида
  - Могућност надокнаде само у првом испитном року
- **Лабораторијске вежбе**
  - Свака по 4 поена или једна од 20 поена укупно 20 поена
  - Важи за текућу школску годину
- **Присуство настави**
  - Кроз лабораторијске вежбе

# Начин полагања испита

- **Испит – 50\* поена**
  - Области: Магистрала, улаз-излаз и меморија
  - \* Студенти незадовољни бројем поена освојеним у термину колоквијума у првом испитном року могу надокнадити колоквијум, уместо испита.

# Начин полагања испита

Коначна оцена се формира на основу броја бодова на следећи начин:

- $91 \leq X < 100$  – оцена 10
- $81 \leq X < 91$  – оцена 9
- $71 \leq X < 81$  – оцена 8
- $61 \leq X < 71$  – оцена 7
- $51 \leq X < 61$  – оцена 6
- $0 \leq X < 51$  – студент није положио испит

# Литература

На српском језику:

- Скрипта за предавања: Проф. др Јован Ђорђевић
- Скрипта за вежбе: Бошко Николић, Марија Пунт, Захарије Радивојевић
- Збирка: Ј. Ђорђевић, Ј. Протић, Д. Милићев, А. Миленковић, Б. Николић, З. Радивојевић, М. Пунт (електронско издање)

На енглеском језику:

- Patterson, Hennessy - Computer Organization and Design: The Hardware-Software Interface
- Hennessy, Patterson - Computer Architecture. A Quantitative Approach

# Комуникација

- Сајт предмета:  
<https://rti.etf.bg.ac.rs/rti/oe3aor/index.html>
- Мејл листа предмета:
  - <https://lists.etf.bg.ac.rs/wws/info/13e112or>
  - <https://lists.etf.bg.ac.rs/wws/info/19e112or>
- Обавештења иду на листу
- Поставити прослеђивање на адресу коју пратите

Питања?

Електротехнички Факултет  
Универзитет у Београду

