



**Основи рачунарске технике (19E111OPT),
Основи рачунарске технике 1 (13C111OPT1)**

- испит -

Напомене:

- Обавеза траје **90 минута**.
- На обавзи нису дозвољена никаква помоћна средства, осим прибора за писање и докумената за идентификацију.
- Задаци се раде на формулару који студент добија на почетку обавезе.
- Редослед задатака на формулару се разликује од редоследа задатака у поставци.
- На формулару не морају бити искоришћене све Карноове карте и таблице, нити сва њихова поља.
- Услов за полагање предмета је да на **задацима 6 и 7** студент укупно освоји најмање **10 поена**.

4. [10]

Пројектовање флип-флопова

Реализовати *master-slave* T флип-флоп, код којег је 1 активна вредност улазног сигнала такта C и 1 активна вредност улазног сигнала T, користећи асинхрони RS флип-флоп са НИЛИ елементима и минимални број НИЛИ елемената.

5. [10]

Стандардни комбинациони модули

а) Нацртати мултиплексер 2/1 као модул са свим улазима и излазима. Канали мултиплексера су ширине један бит. Мултиплексер треба да поседује улаз сигнала дозволе Enable (E) који је активан у логичкој јединици. Написати формуле које описују закон функционисања овог модула.

б) Нацртати једнобитни одузимач као модул са свим улазима и излазима. Написати формуле које описују закон функционисања овог модула.

в) Коришћењем модула из ставке **а)** и што мањег броја логичких елемената и константи, реализовати мултиплексер 4/1 код којег су канали ширине један бит. Мултиплексер не треба да поседује улаз сигнала дозволе Enable (E), већ треба сматрати да је мултиплексер увек активан.

6. [15]

Регистри

а) Реализовати један разред регистра са паралелним уписом (LD), инкрементирањем (INC) и брисањем (CL) помоћу JK флип-флопа код којих је 0 активна вредност улазних сигнала и NE, И и ИЛИ логичких елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан обезбедити да се стање регистра не мења.

б) Коришћењем једноразредног регистра из ставке **а)** и што мањег броја логичких елемената и константи, реализовати троразредни регистар са операцијама серијског уписа улево (SL) и декрементирања (DEC).

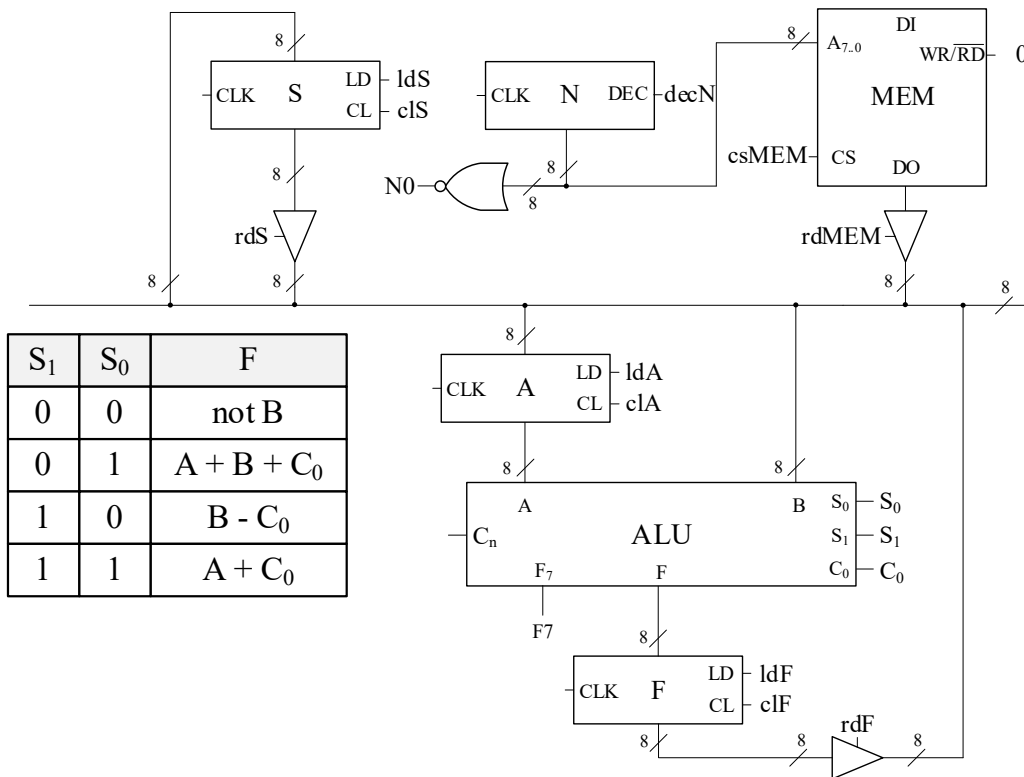
7. [20]

Пројектовање управљачке јединице

На Слици 7.1 приказана је структурна шема дела операционе јединице процесора. Микрооперације које се реализују у ALU јединици дате су у табели. Операциона јединица процесора извршава наредбу LEADER која рачуна број вођа у низу целих бројева смештеног у меморију MEM. Дужина низа је смештена у регистру N. Вредности у меморији су представљене у другом комплементу и смештени су у меморији од адресе 0 до адресе N-1. Број вођа се на крају смешта у регистар S. Претпоставити да резултујући број може да се смести у регистар S и да је регистар N иницијализован и већи од нула.

Сматрати да је члан низа вођа уколико ниједан елемент низа са његове десне стране (чланови низа чији су индекси већи) није већи од њега. Сматрати да последњи члан низа не може да буде вођа. На пример, за дати низ $A = \{9, 6, 0, 4, 1, 2\}$ број вођа је 3, а вође су бројеви 9, 6 и 4.

- а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања дате наредбе.
 б) Реализовати управљачку јединицу типа „шетајућа јединица“ са D флип-флоповима.



Слика 7.1