



Основи рачунарске технике (19E111OPT)

- испит -

Напомене:

- На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература.
- Услов за полагање испита је да на задацима 6 и 7 студент освоји најмање 10 од максимално 35 поена.
- Испит траје **150 минута**.

4. [10] Конструисати *master-slave* T флип-флоп, код кога је нула активна вредност улазног сигнала такта C, а један активна вредност улазног сигнала T, користећи асинхрони RS флип-флоп са НИЛИ елементима и минимални број НИЛИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИЛИ елементима, а затим га искористити као модул. Табеларно представити законе функционисања RS и T флип-флопа и извести релевантне изразе. Табеларно представити закон побуде асинхроног RS флип-флопа са НИЛИ елементима.

5. [10]

а) Потребно је нацртати декодер 1/2 (са једним управљачким сигналом) као модул са свим улазима и излазима. Декодер треба да поседује улаз сигнала дозволе *Enable* (E) који је активан у логичкој јединици. Написати формуле које описују закон функционисања овог модула.

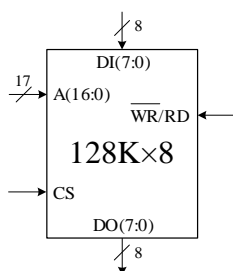
б) Потребно је нацртати једнобитни сабирач као модул са свим улазима и излазима. Написати формуле које описују закон функционисања овог модула.

в) Коришћењем модула из ставке а) потребно је реализовати структурну шему демултиплексера 1/4 (са два управљачка сигнала). Демултиплексер не треба да поседује улаз сигнала дозволе *Enable* (E), већ треба сматрати да је демултиплексер увек активан.

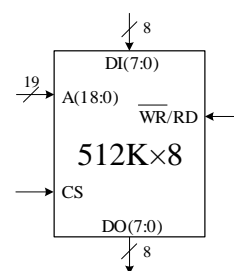
6. [15]

а) Реализовати један разред регистра са серијским уписом удесно, декрементирањем и брисањем помоћу D флип-флопа, код којег је логичка јединица активна вредност улазних сигнала, и НЕ, И и ИЛИ логичких елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан обезбедити да се стање не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра, извести изразе за сигнал побуде D_i за све три функционалности, формирати обједињене сигнале побуде D и нацртати структурну шему таквог једноразредног регистра.

б) Коришћењем датих меморијских модула $128K \times 8$ бита (Слика 6.1) реализовати меморијски модул већег адресног простора $512K \times 8$ бита (Слика 6.2).



Слика 6.1

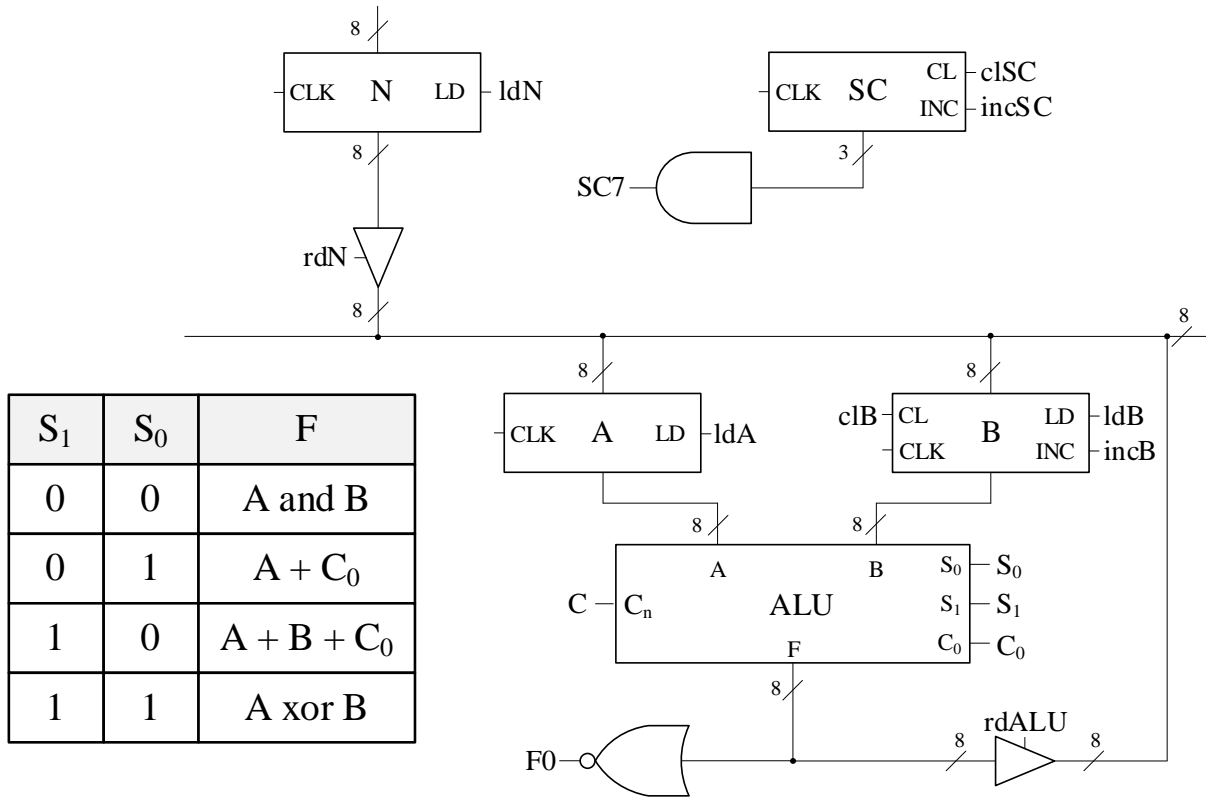


Слика 6.2

7. [20] Дата је структурна шема дела операционе јединице процесора (Слика 7.1). Микрооперације које се реализују у ALU јединици су дате у табели.

а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе NOT која рачуна логичку негацију регистра N и резултат смешта у регистар A (нпр. за $N=10101100_2$ резултат треба да буде $A=01010011_2$).

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица” са D флип-флоповима.



Слика 7.1