



Основи рачунарске технике 1 (13С111ОРТ1)

- испит -

Напомене:

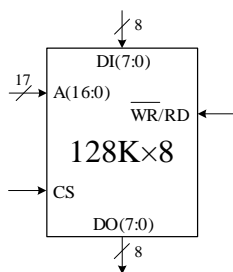
- На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература.
- Услов за полагање испита је да на задацима 1, 2 и 3 студент освоји најмање 10 од максимално 35 поена.
- Испит траје **90 минута**.

1. [10]

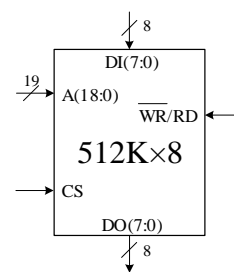
а) Реализовати један разред регистра са серијским уписом удесно, декрементирањем и брисањем помоћу D флип-флопа, код којег је логичка јединица активна вредност улазних сигнала, и НЕ, И и ИЛИ логичких елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан обезбедити да се стање не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра, извести изразе за сигнал побуде D_i за све три функционалности, формирати обједињене сигнале побуде D и нацртати структурну шему таквог једноразредног регистра.

б) Коришћењем датог једноразредног регистра приказати структурну шему троразредног регистра са операцијом паралелног уписа, операцијом умањења за 2 (DEC2) и операцијом брисања.

2. [5] Коришћењем датих меморијских модула $128K \times 8$ бита (Слика 2.1) реализовати меморијски модул већег адресног простора $512K \times 8$ бита (Слика 2.2).



Слика 2.1

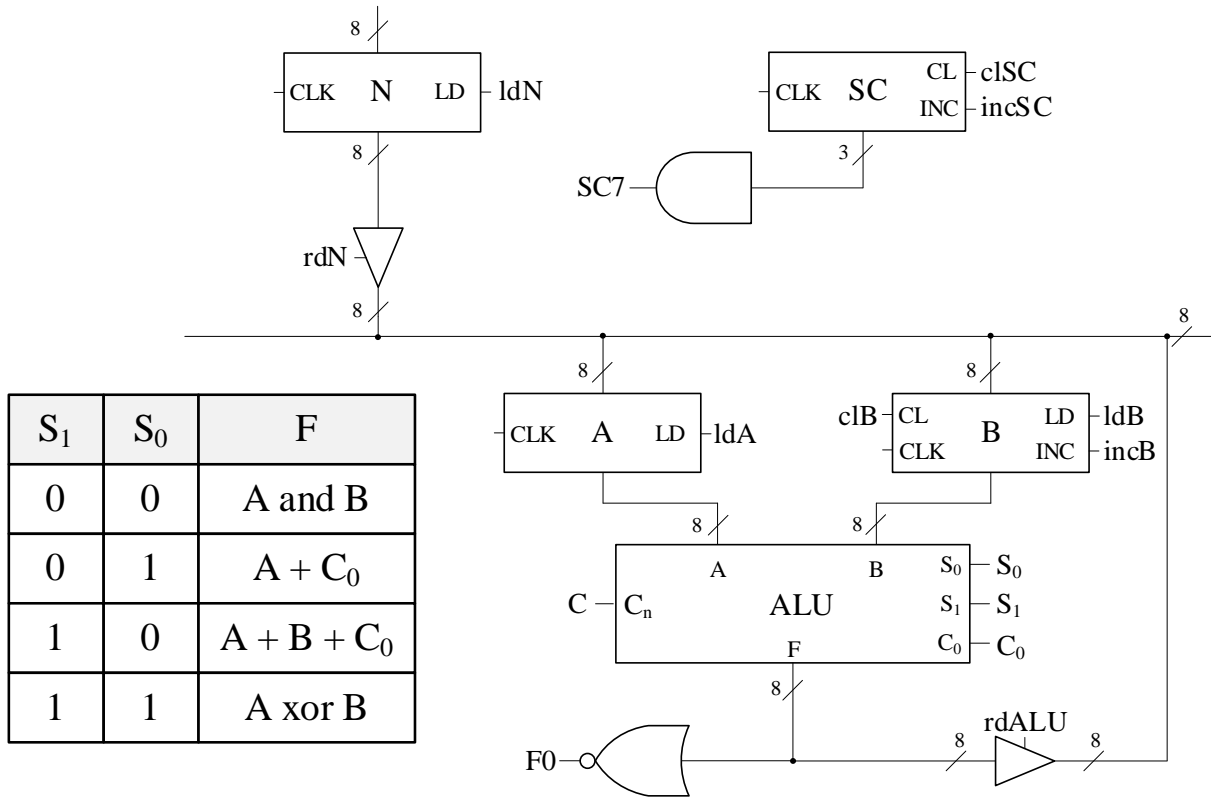


Слика 2.2

3. [20] Дата је структурна шема дела операционе јединице процесора (Слика 3.1). Микрооперације које се реализују у ALU јединици су дате у табели.

а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе NOT која рачуна логичку негацију регистра N и резултат смешта у регистар A (нпр. за $N=10101100_2$ резултат треба да буде $A=01010011_2$).

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица” са D флип-флоповима.



Слика 3.1