



Основи рачунарске технике
-13E111OPT, 19E111OPT -

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 6 и 7 студент освоји најмање 10 од максимално 35 поена.

Испит траје 90 минута.

=====

4. (10) Конструисати *master-slave* JK флип-флоп, код кога је нула активна вредност улазног сигнала такта С, а један активна вредност улазних сигнала J и K, користећи асинхрони RS флип-флоп са НИ елементима и минимални број НИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИ елементима, а затим га искористити као модул. Табеларно представити законе функционисања RS и JK флип-флопа и извести релевантне изразе. Табеларно представити закон побуде асинхроног RS флип-флопа са НИ елементима.

5. (10)

а) Потребно је нацртати двоулазни декодер као модул са свим улазима и излазима. Декодер треба да поседује улаз сигнала дозволе *Enable* (E) који је активан у логичкој јединици. Написати формуле које описују закон функционисања овог модула.

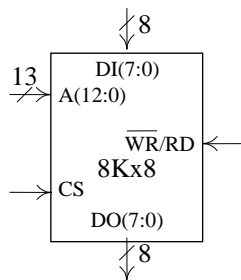
б) Потребно је нацртати једнобитни декрементер као модул са свим улазима и излазима. Написати формуле које описују закон функционисања овог модула.

в) Коришћењем модула из ставке а) и логичких константи 0 и 1, потребно је реализовати структурну шему четвороулазног декодера. Реализовани декодер не треба да поседује улаз сигнала дозволе *Enable* (E).

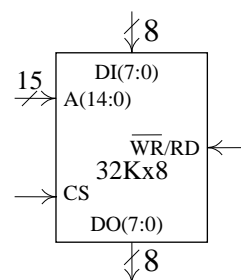
6. (15)

а) Реализовати један разред регистра са декрементирањем, инкрементирањем и паралелним уписом помоћу T флип-флопа, код којег је логичка нула активна вредност улаза T, и NE, И и ИЛИ логичких кола са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са декрементирањем, инкрементирањем и паралелним уписом помоћу T флип-флопа, извести изразе за сигнал побуде T_i за све три функционалности, формирати обједињени сигнал побуде T_i , нацртати структурну шему таквог једноразредног регистра.

б) Дат је меморијски модул $8K \times 8$ бита (Слика 6.1). Коришћењем меморијских модула $8K \times 8$ бита (Слика 6.1) реализовати меморијски модул већег адресног простора $32K \times 8$ бита (Слика 6.2).



Слика 6.1



Слика 6.2

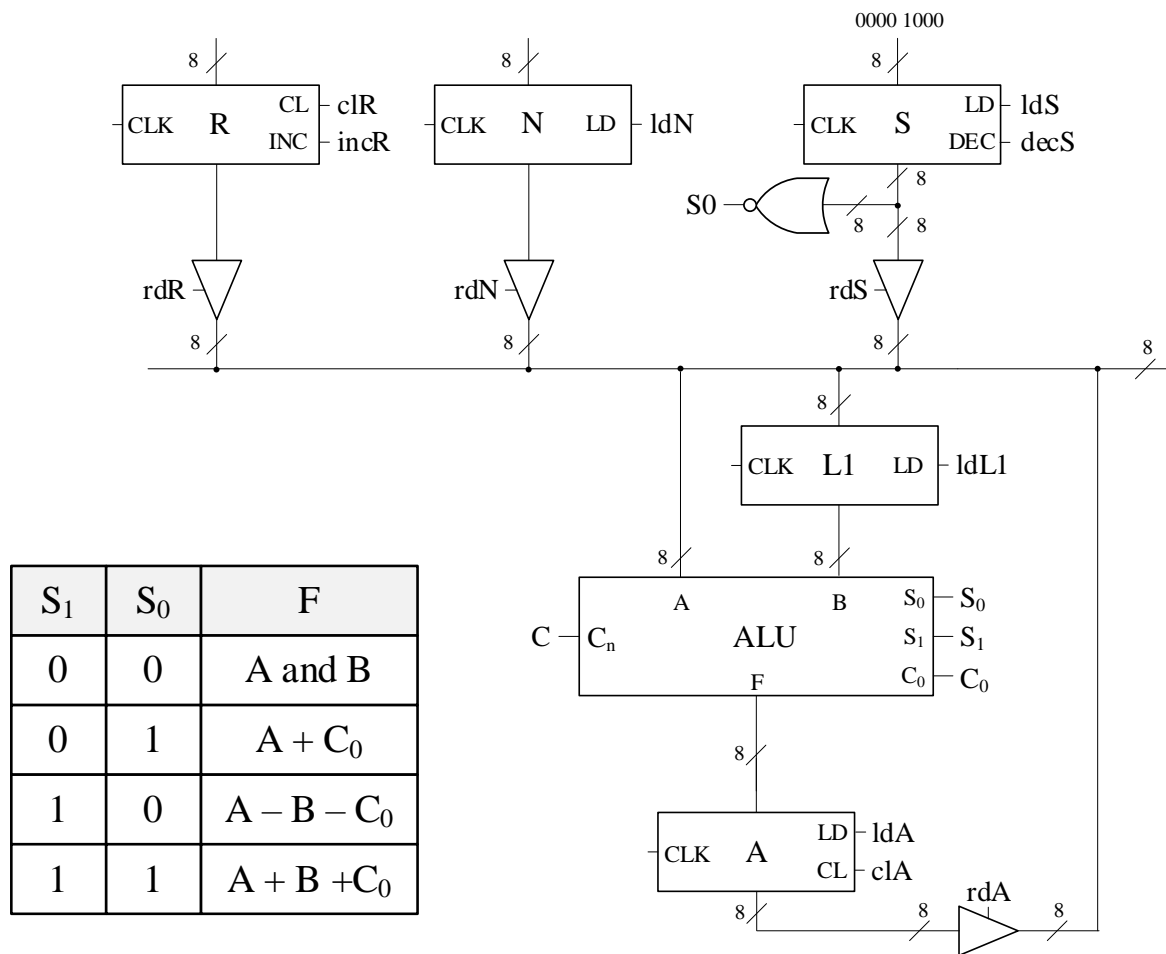
7. (20)

На слици 7.1. је приказана структурна шема дела операционе јединице процесора. Микрооперације које се реализују у јединици ALU су дате у табели.

а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе CNT11 која пребројава колико има парова суседних битова чија је вредност 1. Операнд ове наредбе се налази у особитном регистру N, а резултат треба да се смести у регистар R.

Пример: за $N = 01101101_2$ очекиван резултат је $R=2$, за $N = 01101111_2$ очекиван резултат је $R=4$.

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица” са D флип-флоповима.



Слика 7.1. Структурна шема операционе јединице