

Одређивање побуде *master* RS флип-флопа:

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

R=

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

S=

Шема (*master-slave* D флип-флоп):

5. [10]

а)

Модул:

$F_i =$

$E_{i+1} =$

б)

Модул:

Излазни сигнали (формуле):

в)

Структурна шема:

6. [15]

а)

Операција инкрементирања

Таблица прелаза/излаза и побуда:

Помоћне таблице – закон функционисања T и побуде (не оцењују се):

T	Q(t+1)
0	
1	

Q(t)	Q(t+1)	T
0	0	
0	1	
1	0	
1	1	

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

$T_{INC} =$

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

$C_{i+1} =$

Операција серијског уписа удесно

Таблица прелаза/излаза и побуда:

Операција синхроног брисања

Таблица прелаза/излаза и побуда:

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

$T_{SR} =$

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

$T_{CL} =$

Остали комбинациони сигнали (ако их има):

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
0				
1				

Обједнињени сигнали побуда:

T =

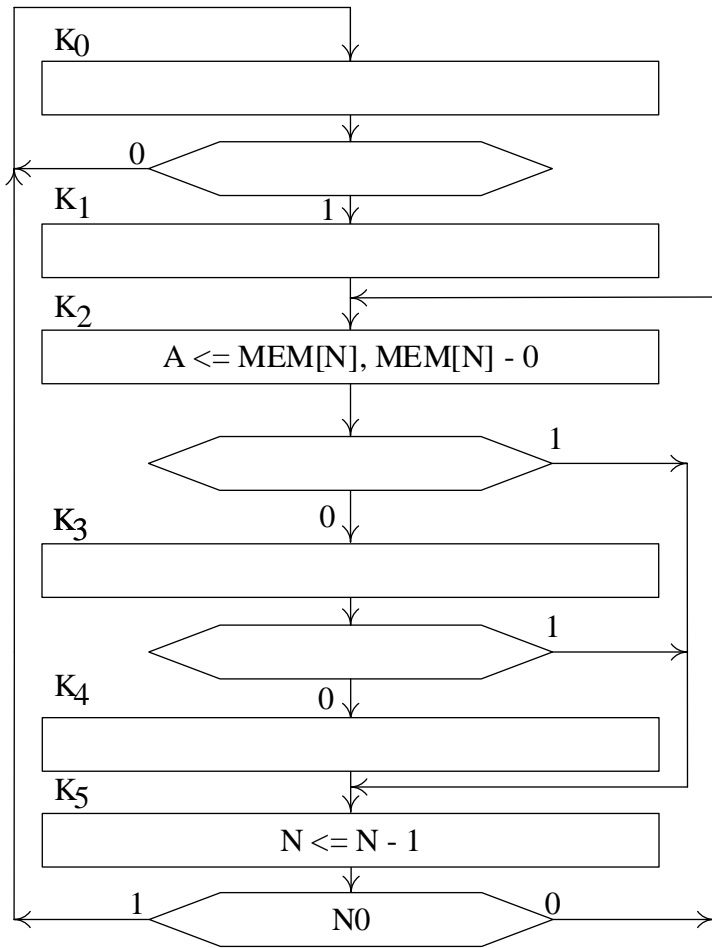
Структурна шема (једнобитни регистар):

б)

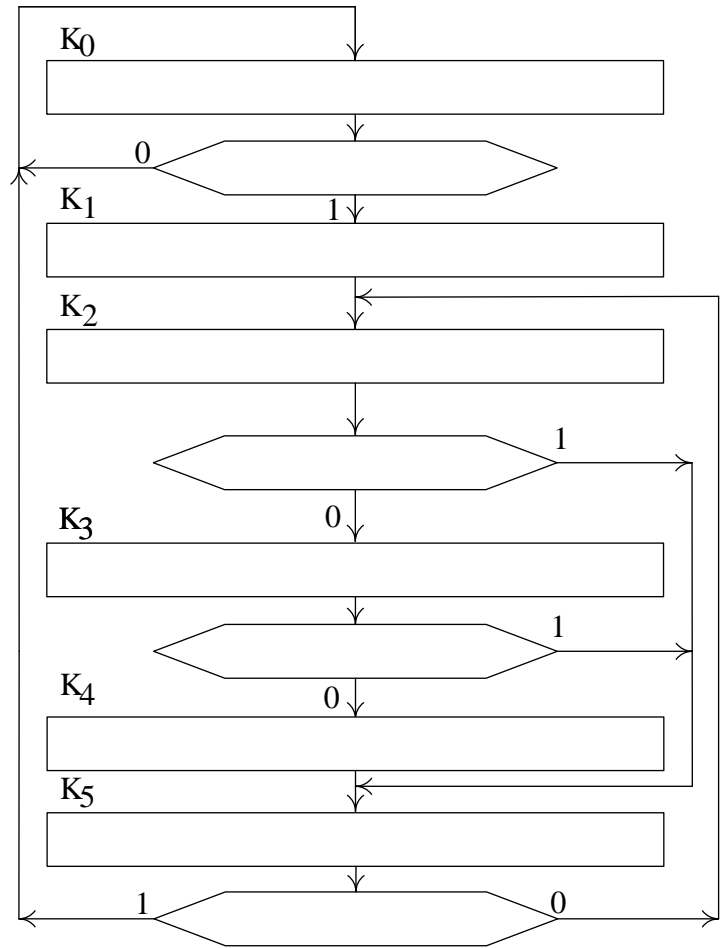
Меморијски модул 16К × 32 бита:

7. [20]

а) Дијаграм тока микрооперација



Дијаграм тока управљачких сигнала



б)

Структурна шема управљачке јединице (шетајућа јединица и изрази управљачких сигнала):

