



**Основи рачунарске технике**  
-13E111OPT-

**Напомене:**

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 6 и 7 студент освоји најмање 10 од максимално 35 поена.

**Испит траје 90 минута.**

=====

**4. (10)** Конструисати *master-slave* D флип-флоп, код кога је нула активна вредност улазног сигнала такта С, користећи асинхрони RS флип-флоп са НИ елементима и минимални број НИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИ елементима, а затим га искористити као модул. Табеларно представити законе функционисања RS и D флип-флопа и извести релевантне изразе. Табеларно представити закон побуде асинхроног RS флип-флопа са НИ елементима.

**5. (10)**

а) Потребно је нацртати једнобитни декрементер као модул са свим улазима и излазима. Написати формуле које описују закон функционисања овог модула.

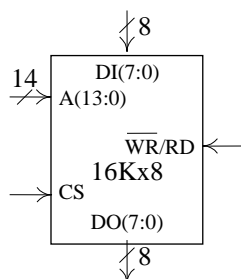
б) Потребно је нацртати демултиплексер 1/2 као модул са свим улазима и излазима. Информациони сигнал и излазни сигнали су ширине један бит. Демултиплексер треба да поседује улаз сигнала дозволе Enable (E) који је активан у логичкој јединици. Написати формуле које описују закон функционисања овог модула.

в) Коришћењем модула из ставке б), потребно је реализовати структурну шему демултиплексера 1/4 код којег је ширина информационог и излазних сигнала један бит. Демултиплексер 1/4 не треба да поседује улаз сигнала дозволе Enable (E), већ треба сматрати да је демултиплексер увек активан.

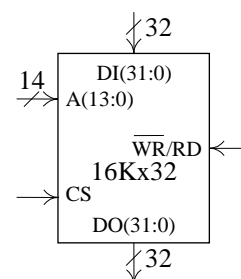
**6. (15)**

а) Реализовати један разред регистра са инкрементирањем, серијским уписом удесно и синхроним брисањем помоћу T флип-флопа, код којег је логичка јединица активна вредност улаза T, и HE, И и ИЛИ логичких кола са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са инкрементирањем, серијским уписом удесно и синхроним брисањем помоћу T флип-флопа, извести изразе за сигнал побуде  $T_i$  за све три функционалности, формирати обједињени сигнал побуде  $T_i$ , нацртати структурну шему таквог једноразредног регистра.

б) Дат је меморијски модул  $16K \times 8$  бита (Слика 6.1). Коришћењем меморијских модула  $16K \times 8$  бита (Слика 6.1) реализовати меморијски модул веће ширине меморијске речи  $16K \times 32$  бита (Слика 6.2).



Слика 6.1

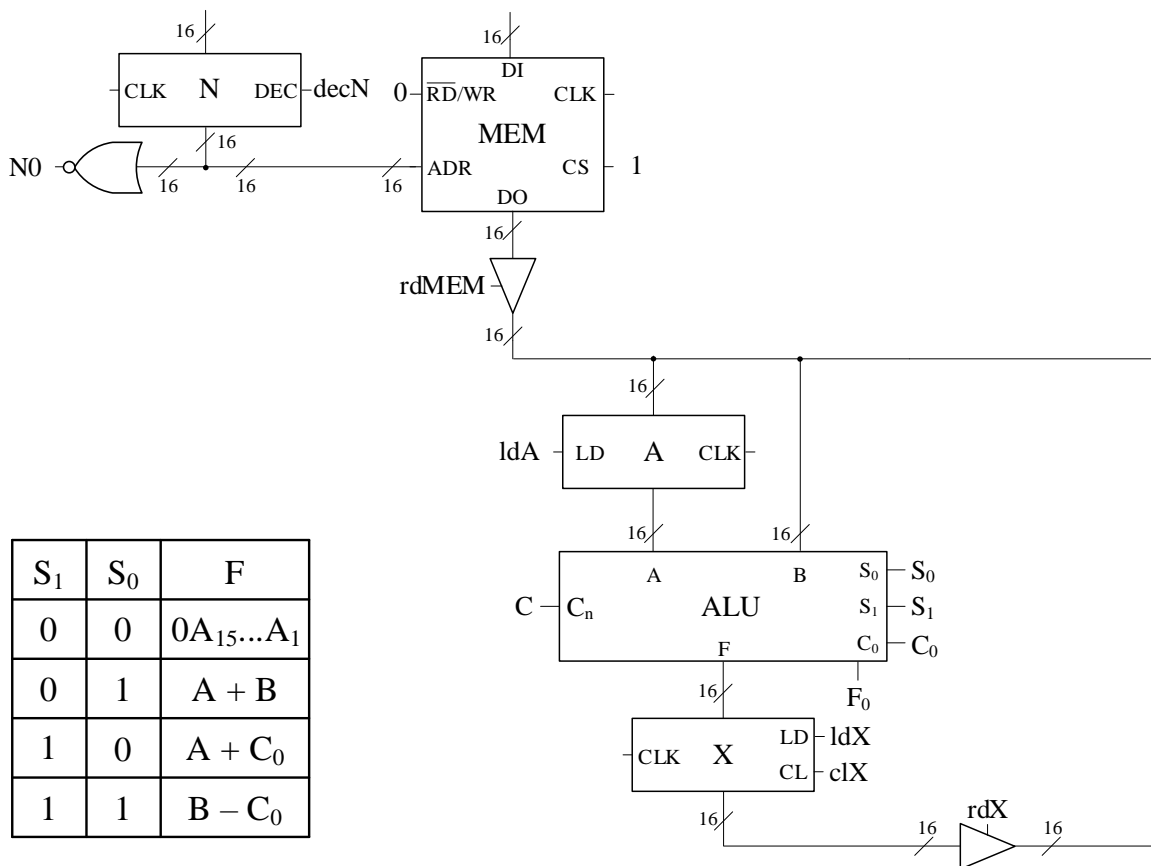


Слика 6.2

7. (20) На слици 7.1. је приказана структурна шема дела операционе јединице процесора. Регистар N садржи неозначен број различит од 0. У меморијском модулу MEM се налази N+1 бројева на адресама 0,1,...N. Микрооперације које се реализују у јединици ALU су дате у табели.

а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе FOUR која сабира речи из меморијског модула MEM које су дељиве са 4. Резултат треба сместити у регистар X. Претпоставити да се резултујућа вредност може сместити у регистар X.

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица” са D флип-флоповима.



Слика 7.1. Структурна шема операционе јединице