



Основи рачунарске технике
-13E111OPT-

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 6 и 7 студент освоји најмање 10 од максимално 35 поена.

Испит траје 90 минута.

=====

4. (10) Конструисати *master-slave* T флип-флоп, код кога је један активна вредност улазног сигнала такта C, а нула активна вредност улазног сигнала T, користећи асинхрони RS флип-флоп са НИ елементима и минимални број НИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИ елементима, а затим га искористити као модул. Табеларно представити законе функционисања RS и T флип-флопа и извести релевантне изразе. Табеларно представити закон побуде асинхроног RS флип-флопа са НИ елементима.

5. (10)

а) Потребно је нацртати једнобитни компаратор као модул са свим улазима и излазима. Написати формуле које описују закон функционисања овог модула.

б) Потребно је нацртати двоканални мултиплексер као модул са свим улазима и излазима. Канали су ширине један бит. Мултиплексер треба да поседује улаз сигнала дозволе *Enable* (E) који активан у логичкој јединици. Написати формуле које описују закон функционисања овог модула.

в) Коришћењем модула из ставке б), потребно је реализовати структурну шему четвороканалног мултиплексера код којег је ширина канала један бит. Мултиплексер не треба да поседује улаз сигнала дозволе *Enable* (E), већ треба сматрати да је мултиплексер увек активан.

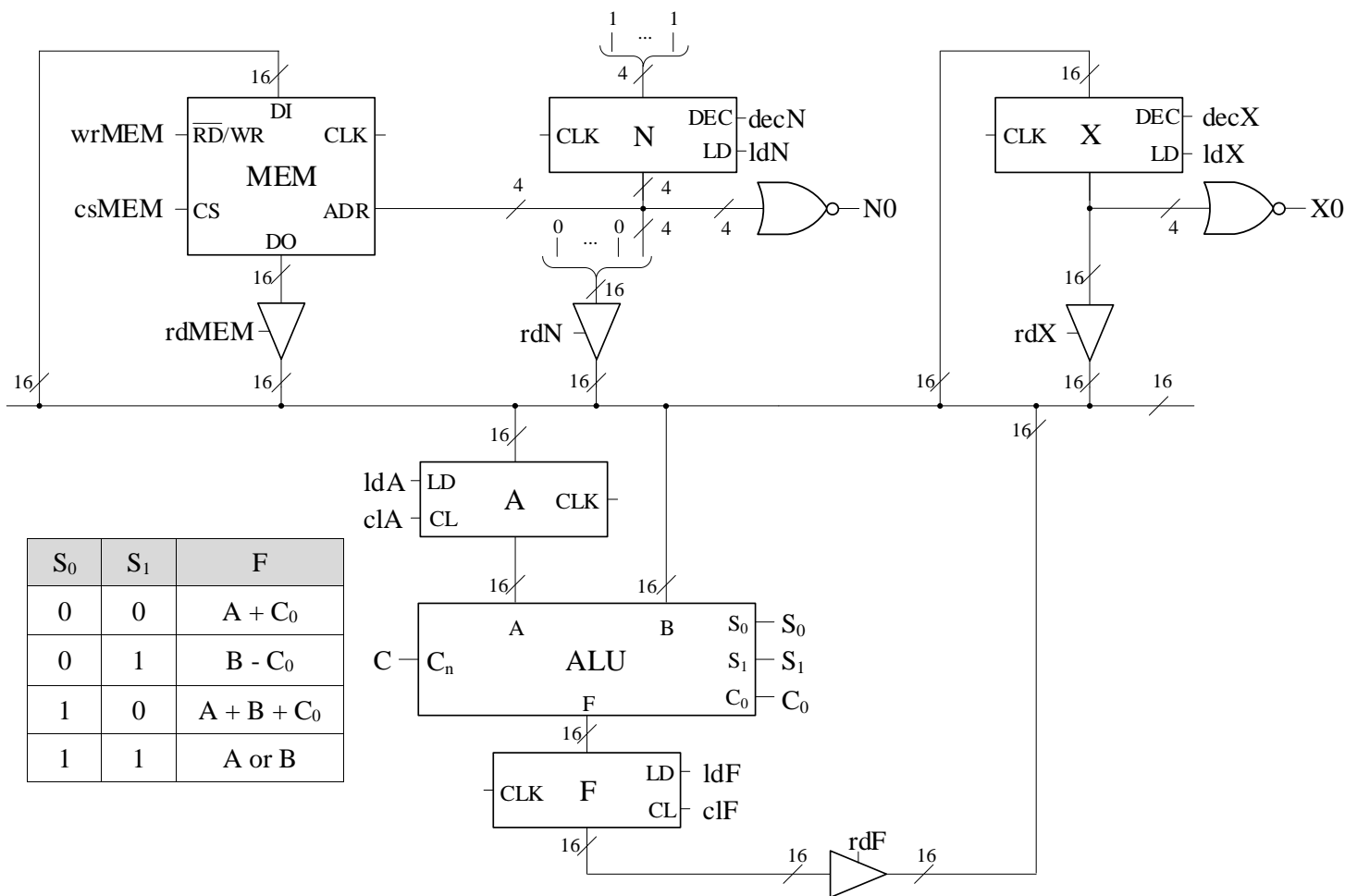
6. (15) Реализовати један разред регистра са паралелним уписом и синхроним брисањем помоћу JK флип-флопа, код којег је логичка јединица активна вредност улазима J и K, и NE, И и ИЛИ логичких кола са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и синхроним брисањем помоћу JK флип-флопа, извести изразе за сигнале побуде J_i и K_i за све три функционалности, формирати обједињене сигнале побуда J_i и K_i , нацртати структурну шему таквог једноразредног регистра.

Коришћењем датог једноразредног регистра приказати структурну шему троразредног регистра са операцијом рачунања остатка при дељењу са 2 (*mod2*) и дељењем са 2 (*div2*).

7. (20) На слици 7.1. је приказана структурна шема дела операционе јединице процесора. У меморијском модулу MEM налазе се коефицијенти полинома $P(x) = p_{15}x^{15} + p_{14}x^{14} + \dots + p_1x^1 + p_0x^0$. На меморијској локацији 15 се налази коефицијент p_{15} , на меморијској локацији 14 се налази коефицијент p_{14} , и тако редом. Микрооперације које се реализују у јединици ALU су дате у табели.

а) Допунити дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе DERIV која ажурира стање у меморијском модулу тако да меморијске локације одговарају коефицијентима полинома $D(x) = d_{15}x^{15} + d_{14}x^{14} + \dots + d_1x^1 + d_0x^0$, где $D(x)$ одговара првом изводу полинома $P(x)$ (коефицијент d_{15} једнак је 0). На меморијској локацији 15 треба да се налази коефицијент d_{15} , на меморијској локацији 14 треба да се налази коефицијент d_{14} , и тако редом.

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица” са D флип-флоповима.



Слика 7.1. Структурна шема операционе јединице