



Организација рачунара

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=F000h, adrSR=F001h, adrDR=F002h) са придруженим контролером периферије DMA (adrCR=FFF0h, adrSR=FFF1h, adrDR=FFF2h, adrCNT=FFF3h, adrAs=FFF4h, adrAd=FFF5h), периферија PER1 (adrCR=F010h, adrSR=F011h, adrDR=F012h) и периферија PER2 (adrCR=F020h, adrSR=F021h, adrDR=F022h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (1-улаз, 0-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 0 је Ready који сигнализира спремност контролера. Бит 3 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши учитавање неоппадајућег низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h и неоппадајућег низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 1100h. Након учитавања низова A и B формира се низ C, који почиње од адресе 2000h у меморији. Низ C се састоји од елемената низова A и B сортираних у неоппадајућем поретку. На крају се низ C шаље на периферију PER2. Пријем са PER0 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, пријем са PER1 реализовати испитивањем бита спремности, а слање низа C на PER2 реализовати коришћењем механизма прекида.

2.(20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 1 GB и ширине меморијске речи 1 В. "Data" део кеш меморије је капацитета 1 MB и ширине меморијске речи 1 В. Пресликавање је на нивоу блокова величине 256 В.

а) (8) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

б) (7) Објаснити целокупан поступак читања податка у ситуацији када у кеш меморији не постоји сагласност, а блок који се налази у улазу који је одабран за замену није модификован у кеш меморији. Напомена: у објашњењима користити ознаке које су дате на слици приликом одговора на питање из тачке под а).

в) (5) У оперативној меморији на адреси 0011 0418h налази се податак 26h. Блок коме припада ова адреса довучен је у улаз 0A0h кеш меморије и није од тада модификован. Приказати вредности V и D бита и садржај TAG меморије улаза 0A0h кеш меморије. На којој адреси у DATA меморији ће се налазити вредност 26h, која је довучена из оперативне меморије са адресе 0011 0418h.

3.(10) Једноадресни процесор, меморија и периферија повезани су 16-битном адресном и 8-битном магистралом података. Подаци су величине 2 бајта. Меморијски и улазно/излазни адресни простор су развојени. Садржај дела оперативне меморије дат је на слици.

Адреса:	2000h	2001h	2002h	2003h	2004h	2005h	2006h	2007h
Садржај:	20h	C1h	04h	0Ch	21h	A0h	00h	10h
Адреса:	2008h	2009h	200Ah	200Bh	200Ch	200Dh	200Eh	200Fh
Садржај:	FFh	01h	0Dh	F4h	18h	F4h	14h	ADh
Адреса:	2010h	2011h	2012h	2013h	2014h	2015h	2016h	2017h
Садржај:	22h	2Dh	02h	00h	03h	23h	08h	30h
Адреса:	2020h	2021h	2022h	2023h	2024h	2025h	2026h	2027h
Садржај:	01h	00h	20h	02h	00h	01h	30h	33h

Процесор поседује 16-битне регистре PC (програмски бројач), SP (показивач на прву слободну локацију стека који расте према нижим адресама), регистре опште намене од R0 до R7 и A (акумулатор). При позиву потпрограма на стеку се чува само PC. Први бајт инструкције увек садржи само код операције, а други начин адресирања. Инструкције су величине један, два, три или четири бајта. Главни програм и потпрограм који се извршава позивом JSR дати су на слици. Претпоставити да је пре почетка извршавања главног програма SP = 1000h, R1 = 2020h, а да се виши бајт 16-битне речи смешта на вишу адресу.

адреса	инструкција	коментар
2000h	LOAD (R1)	; registarsko indirektno adresiranje
2002h	JSR PC(0Ch)	; relativno adresiranje sa 8-bitnim pomerajem
2004h	OUTB 1000h	; memorijsko direktno adresiranje
2008h	HALT	; zaustavljanje procesora
;potprogram		
X	XOR #0002h	; neposredno adresiranje
X+4	RTS	; povratak iz potprograma, jednobajtna instrukcija
X+5	...	

Приликом извршавања инструкције **OUTB** користити само нижих осам бита акумулатора.

Навести секвенцу садржаја на адресној магистралу, магистралу података и контролној магистралу за сваки циклус на магистралу (као што је приказано на слици) при извршавању датог програма.

T.	Адресна маг.	Маг. података	R	W	M/ \overline{IO}	Коментар
1.	...					

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.