



## Организација рачунара

**1.(20)** Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h) са придруженим контролером периферије DMA (adrCR=FFF0h, adrSR=FFF1h, adrDR=FFF2h, adrCNT=FFF3h, adrAs=FFF4h, adrAd=FFF5h), периферија PER1 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) и периферија PER2 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (1-улаз, 0-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER1 у меморијски блок који почиње од адресе 1000h и низа B(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 1100h. Након читавања низова A и B формира се низ C, који почиње од адресе 1200h у меморији, на следећи начин:  $C(i) = A(FFh - i) + B(i)$ . На крају се низ C шаље на периферију PER0. Пријем са PER1 реализовати испитивањем бита спремности, пријем са PER2 реализовати коришћењем механизма прекида, а слање низа C на PER0 реализовати коришћењем DMA контролера у блоковском режиму рада.

**2.(10)** Једноадресни процесор, меморија и периферија повезани су 16-битном адресном и 8-битном магистралом података. Меморијски и улазно/излазни адресни простор су раздвојени. Садржај дела оперативне меморије дат је на слици.

Адреса:	1100h	1101h	1102h	1103h	1104h	1105h	1106h	1107h
Садржај:	24h	08h	04h	26h	02h	12h	11h	12h
Адреса:	1108h	1109h	110Ah	110Bh	110Ch	110Dh	110Eh	110Fh
Садржај:	05h	0Dh	F4h	18h	F4h	14h	ADh	ADh
Адреса:	1110h	1111h	1112h	1113h	1114h	1115h	1116h	1117h
Садржај:	12h	11h	03h	14h	06h	23h	08h	27h
Адреса:	1118h	1119h	111Ah	111Bh	111Ch	111Dh	111Eh	111Fh
Садржај:	01h	10h	11h	30h	01h	30h	33h	33h

Процесор поседује 16-битне регистре PC (програмски бројач), SP (показивач на прву слободну локацију стека који расте према нижим адресама), регистре опште намене од R0 до R3 и 8-битни регистар A (акумулатор). Подаци су целобројне величине без знака дужине 1 бајт. При позиву потпрограма на стеку се чува само PC. Први бајт инструкције увек садржи само код операције, а други начин адресирања. Инструкције су величине један, три или четири бајта. Главни програм и потпрограм који се извршава позивом JSR дати су на слици. Претпоставити да је пре почетка извршавања главног програма  $SP = 1000h$ , а да се виши бајт 16-битне речи смешта на вишу адресу.

адреса	инструкција	коментар
1100h	LOAD #04h	; neposredno adresiranje
1103h	ADD 1112h	; direktno memorijsko adresiranje
1107h	JSR PC(0Dh)	; relativno adresiranje sa 8-bitnim pomerajem
110Ah	HALT	; zaustavljanje procesora
;potprogram		
1117	SUB (1110)h	; memorijsko indirektno adresiranje
111B	RTS	; povratak iz potprograma, jednobajtna instrukcija

Навести секвенцу садржаја на адресној магистралу, магистралу података и контролној магистралу за сваки циклус на магистралу (као што је приказано на слици) при извршавању датог програма.

T.	Адресна маг.	Маг. података	R	W	M/ $\overline{IO}$	Коментар
1.	...					

**3.(20)** Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 16 GB и подељен је на странице величине 256 KB. Физички адресни простор је величине 1 GB и подељен је на блокове величине 256 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 8.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити шта означавају V и D бити у табели страница. Објаснити ко и када поставља и користи те бите у табели страница.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу уколико у TLB јединици не постоји дескриптор странице, а страница се налази у оперативној меморији. Назначити шта се од тога ради хардверски, а шта софтверски.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.