



Организација рачунара

1.(20) Једноадресни процесор са мапираним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h) са придруженим контролером периферије DMA (adrCR=FFF0h, adrSR=FFF1h, adrDR=FFF2h, adrCNT=FFF3h, adrAs=FFF4h, adrAd=FFF5h), периферија PER1 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) и периферија PER2 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 1 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (1-улаз, 0-излаз), бит 3 је Enable којим се дозвољава прекид, а у статусним регистрима бит 10 је Ready који сигнализира спремност контролера. Бит 7 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 1100h. Након читавања низова A и B формира се низ C, који почиње од адресе 1200h у меморији, на следећи начин: $C(i) = 3 * A(i) + B(i)$, ако је A(i) паран број и $C(i) = A(i) - B(i)$, ако је A(i) непаран број. На крају се низ C шаље на периферију PER2. Пријем са PER0 реализовати коришћењем DMA контролера у режиму рада циклус по циклус, пријем са PER1 реализовати коришћењем механизма прекида, а слање низа C на PER2 реализовати испитивањем бита спремности.

2.(20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 2 GB и ширине меморијске речи 1 В. "Data" део кеш меморије је капацитета 1 MB и ширине меморијске речи 1 В. Пресликавање је на нивоу блокова величине 1 KB.

а) (8) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

б) (7) Објаснити целокупан поступак читања податка у ситуацији када у кеш меморији не постоји сагласност, а блок који се налази у улазу који је одабран за замену није модификован у кеш меморији. Напомена: у објашњењима користити ознаке које су дате на слици приликом одговара на питање из тачке под а).

в) (5) У оперативној меморији на адреси 0100 12ABh налази се податак 5Ch. Блок коме припада ова адреса довучен је у улаз 2Ch кеш меморије и није од тада модификован. Приказати вредности V и D бита и садржај TAG меморије улаза 2Ch кеш меморије. На којој адреси у DATA меморији ће се налазити вредност 5Ch, која је довучена из оперативне меморије са адресе 0100 12ABh.

3.(10) Посматра се систем који се састоји из процесора, периферије са контролером периферије и меморије повезаних синхроним магистралом. Време приступа меморији износи 4 такта. Улазно/излазни адресни простор је меморијски мапиран. Нацртати и објаснити временске облике сигнала које процесор и меморија размењују у ситуацији када процесор реализује циклус читања из меморије.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.