



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 4 одређује смер операције (0-улаз, 1-излаз), бит 8 је Enable којим се дозвољава прекид, а у статусним регистрима бит 12 је Ready који сигнализира спремност контролера. Бит 15 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се упоредо врши: учитавање низа A(i) (i=0...FFh) са PER1 у меморијски блок који почиње од адресе 100h и низа B(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 200h. Након учитавања низова A и B формира се низ C, који почиње од адресе 300h у меморији, на следећи начин: $C(i) = A(i) + B(i)$ (i=0...FFh). На крају се низ C шаље на периферију PER0. Пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати испитивањем бита спремности, а слање низа C на PER0 реализовати коришћењем DMA контролера у блоковском режиму рада.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 4 GB и подељен је на странице величине 4 KB. Физички адресни простор је величине 16 GB и подељен је на блокове величине 4 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 64 странице различитих процеса. Број процеса је 16.

а) (5) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

б) (5) Објаснити разлику између бита V у табели страница и у TLB јединици. Објаснити ко и када поставља и користи те бите у табели страница и TLB јединици. За исту виртуелну адресу која су све дозвоњене комбинације ових V бита приликом истог приступа.

в) (5) Објаснити цео поступак пресликавања виртуелне у физичку адресу уколико у TLB јединици не постоји дескриптор странице, страница се не налази у оперативној меморији и има слободних страница у оперативних меморији. Назначити шта се од тога ради хардверски а шта софтверски.

г) (5) Која вредност треба да се нађе у одговарајућем улазу у табели страница уколико се виртуелна адресе 12345678h пресликава у физичку адресу 987678h.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 16GB, адресбилна јединица је 32-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела има 8 фиксних улаза и почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 00000000h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 0, 2 и 5 у IV табели, респективно. Улаз 1 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 0000110Ah, 00001105h, 00001103h и 00001100h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоји бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM0, у току 4. по линији IRQM1, а у току 5. по линији IRQN. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
00000100h	INTE
00000101h	LOAD 0h
00000103h	INCA
00000104h	STORE Ah
00000106h	INTD

Слика 2

Адреса	Наредба
00001100h	INTE
00001101h	INCA
00001102h	RTI
00001103h	DECA
00001104h	RTI
00001105h	POPA
00001106h	INCA
00001107h	INCA

Слика 3

Адреса	Садржај
00000000h	0000110Ah
00000001h	00001100h
00000002h	00001105h
00000003h	00001100h
00000004h	0000110Ah
00000005h	00001103h

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се инцијализују улази 0, 2 и 5 у вектор табели.
- в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 00000100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (3) Која ће се вредност налазити на локацији Ah након извршења секвенце под в)?

2. (5) Посматра се рачунарски систем који се састоји од више модула који могу да имају улогу газде на магистрали. Ови модулу учествују у арбитражи да би могли да реализују циклусе на магистрали. Модули су повезани са серијским арбитражом који обавља арбитражију. Нацртати две различите структуре серијског арбитража и објаснити која је разлика између њих, као и између модула са којима су повезани.