



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 9 је Start којим се дозвољава почетак операције, бит 3 одређује смер операције (1-улаз, 0-излаз), бит 5 је Enable којим се дозвољава прекид, а у статусним регистрима бит 6 је Ready који сигнализира спремност контролера. Бит 2 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 0100h и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 0200h. Након читавања низова A и B врши се формирање низа C, који почиње од адресе 0300h у меморији, на следећи начин: $C(i) = A(i) + B(i)$ (i=0...FFh). На крају се резултујући низ шаље на периферију PER2. Пријем са PER0 реализовати коришћењем механизма прекида, пријем са PER1 реализовати испитивањем бита спремности, а слање на PER2 коришћењем DMA контролера у блоковском режиму рада.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 4 GB и подељен је на странице величине 8 KB. Физички адресни простор је величине 2 GB и подељен је на блокове величине 8 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 128 странице различитих процеса. Број процеса је 32.

а) (7) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

б) (6) Објаснити разлику између бита V у табели страница и у TLB јединици. Објаснити ко и када поставља и користи те бите у табели страница и TLB јединици.

в) (7) Објаснити цео поступак пресликавања виртуелне у физичку адресу уколико у TLB јединици не постоји дескриптор странице а страница се не налази у оперативној меморији. Назначити шта се од тога ради хардверски а шта софтверски.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 8GB, адресбилна јединица је 16-битна реч. Процесор оперише само са целобројним величинама без знака величине 32 бита, а 32-битни подаци и адресе се смештају у меморију тако да је на нижој адреси виша реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег приоритета, а IRQ1 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 2, 4 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 00001100h, 0000110Fh и 00001109h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 2h, 4h и 7h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табели се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се хардверски поставља на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC и PSW тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, у току 5. по линији IRQ2, а у току 7. по линији IRQ3. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 2h
0103h	INCA
0104h	DECA
0105h	STORE 2h
0107h	INTD

Слика 2

Адреса	Наредба
1100h	INCA
1101h	STORE 2h
1103h	INTE
1104h	RTI
1105h	POPA
1106h	STORE 1h
1108h	PUSHA

Слика 3

Адреса	Садржај
0000h	0000h
0001h	1101h
0002h	0000h
0003h	1103h
0004h	0000h
0005h	1100h

а)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б)(3) Написати део програма којим се иницијализују улази 2, 4 и 7 у вектор табели.

в)(6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 00000100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

д)(3) Која ће се вредност налазити на локацији 00000003h након извршења секвенце под в)?

2. (5) Посматра се систем који се састоји из процесора, периферије са контролером периферије и меморије повезаних магистралом. Навести сигнале које периферија (контролер периферије) и процесор размењују у ситуацијама када периферија шаље број улаза у IV табелу. Нацртати и објаснити временске облике сигнала које том приликом периферија и процесор размењују.