



Организација рачунара

1.(15) Адресни простор процесора је величине 128KB, адресбилна јединица је 16-битна реч. Подаци су целобројне величине са знаком представљени у другом комплементу дужине 16 бита. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 0002h. Процесор има две улазне линије IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 2, 3 и 5 у IV табели, респективно. Улаз 7 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 2000h, 200Bh, 2012h и 2006h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се хардверски постављају на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 3. по линији IRQN, а у току 5. по линији IRQM2. На почетку су сви бити PSW-а постављени на 0. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	LOAD 0h
0103h	INTE
0104h	ADD #7h
0107h	DECA
0108h	STORE 0h
010Bh	INTD

Слика 2

Адреса	Наредба
2000h	INCA
2001h	SUB #1h
2004h	DECA
2005h	RTI
2006h	POPA
2007h	INCA
2008h	INCA
2009h	PUSHA

Слика 3

Адреса	Садржај
0000h	0000h
0001h	1012h
0002h	0000h
0003h	1000h
0004h	2000h
0005h	200Bh

а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део програма којим се иницијализују улази 2, 3 и 5 у IVT.

в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида..

г) (3) Која ће се вредност налазити на локацији 0001h након извршења секвенце под в)?

2. (5) Посматра се рачунарски систем који се састоји од три модула (mod2, mod1 и mod0) који могу да имају улогу газде на магистралаи. Међу модулима mod2 је највишег а mod0 најнижег приоритета. Ови модулу учествују у арбитражи да би могли да реализују циклусе на магистралаи. Модули су повезани са серијским арбитражом који обавља арбитражију.

Нацртати структуру арбитража и повезати ове модуле водећи рачуна о њиховим приоритетима.

Дати по корацима како се реализује арбитражија у случају да је модул mod1 већ користи магистралу, и појави се захтев за коришћењем магистрале од модула mod2.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.