



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (0-улаз, 1-излаз), бит 1 је Enable којим се дозвољава прекид, а у статусним регистрима бит 15 је Ready који сигнализира спремност контролера. Бит 0 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 0100h и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 0200h. Након читавања низова A и B формира се низ C, који почиње од адресе 0300h у меморији, на следећи начин: $C(i) = A(i) + B(i)$ (i=0...FFh). На крају се низ C упоредо шаље на периферије PER1 и PER2. Пријем са PER0 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, пријем са PER1 реализовати испитивањем бита спремности, слање низа C на PER1 реализовати испитивањем бита спремности, а слање низа C на PER2 реализовати коришћењем механизма прекида.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 8 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 256 бајтова.

а) (5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

б) (5) Објаснити функцију бита V и D кеш меморије. Објаснити ко и када користи и поставља сваки од ових бита одговарајућег улаза кеш меморије.

в) (5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност, како и када се адресирани бајт податка чита из кеш меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност.

г) (5) На примеру адресе 12345678h објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је кеш меморија била празна. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену који има вредност 0.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 64KB, а адресбилна јединица је бајт. Процесор оперише само са целобројним величинама без знака величине 16 бита, а 16-битни подаци и адресе се смештају у меморију тако да је на нижој адреси нижи бајт. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ1 највишег приоритета, а IRQ3 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 3, 4 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 110Ah, 1105h и 1100h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 12h, 10h и 1Ah, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табели се користи у свим осталим случајевима. У PSW-у постоје бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC и PSW тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ3, у току 5. по линији IRQ2, а у току 7. по линији IRQ1. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је Fh. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 8h
0103h	STORE 24h
0105h	INTD

Слика 2

Адреса	Наредба
1100h	INTE
1101h	STORE 12h
1103h	DECA
1104h	RTI
1105h	INTE
1106h	STORE 24h
1108h	INCA

Слика 3

Адреса	Садржај
0000h	01h
0001h	11h
0002h	03h
0003h	11h
0004h	00h
0005h	11h

а)(3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в)(6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

г)(3) Које ће се вредности налазити на локацијама 0012h и 0013h након извршења секвенце под в)?

2. (5) Посматра се рачунарски систем који се састоји од четири модула (mod3, mod2, mod1 и mod0) који могу да имају улогу газде на магистралама. Међу модулима модул са већим редном бројем има већи приоритет (mod3 је највишег а mod0 најнижег приоритета). Ови модулу учествују у арбитражи да би могли да реализују циклусе на магистралама. Модули су повезани са паралелним арбитратором који обавља арбитражију.

Нацртати структуру арбитратора и повезати ове модуле водећи рачуна о њиховим приоритетима.

Дати по корацима како се реализује арбитражија у случају да је модул mod1 већ користи магистралу, и појави се захтев за коришћењем магистрале од модула mod2. Модули mod3 и mod0 не приступају магистралу у датом сценарију.