



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 15 је Start којим се дозвољава почетак операције, бит 4 одређује смер операције (0-улаз, 1-излаз), бит 1 је Enable којим се дозвољава прекид, а у статусним регистрима бит 3 је Ready који сигнализира спремност контролера. Бит 2 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFFh) са PER0 у меморијски блок који почиње од адресе 1000h, низа B(i) (i=0...FFFh) са PER1 у меморијски блок почев од адресе 2000h и низа C(i) (i=0...FFFh) са PER2 у меморијски блок почев од адресе 3000h. Након читавања низова A, B и C формира се низ D, који почиње од адресе 4000h у меморији, на следећи начин: $D(i) = A(i) + B(i) - C(i)$ (i=0... FFFh). На крају се низ D шаље на периферију PER2. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати коришћењем DMA контролера у блоковском режиму рада, а слање низа D на PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 GB и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 32 KB и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 256 B.

Сваки одговор посебно означити. Не користити опште бројеве већ конкретне. Ставке унутар одговара на појединачна потпитања дати таксативно једну испод друге.

1. Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

2. Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

3. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

4. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене 1: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 64КВ, адресбилна јединица је бајт. Процесор оперише само са целобројним величинама без знака величине 16 бита, а 16-битни подаци и адресе се смештају у меморију тако да је на нижој адреси виши бајт. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 2. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег приоритета, а IRQ1 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 1, 2 и 5 у вектор табели, и којима одговарају прекидне рутине на адресама 1100h, 110Ah и 1105h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 6h, 8h и Ah, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоје бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, у току 5. по линији IRQ2, а у току 7. по линији IRQ3. Акумулатор је дужине 16 бита, а регистар PSW 8 бита. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је 7h. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 4h
0103h	INCA
0104h	DECA
0105h	STORE 24h
0107h	INTD

Слика 2

Адреса	Наредба
1100h	INTE
1101h	STORE 24h
1103h	DECA
1104h	RTI
1105h	POPA
1106h	STORE 24h
1108h	PUSHA

Слика 3

Адреса	Садржај
0000h	10h
0001h	01h
0002h	11h
0003h	03h
0004h	11h
0005h	00h

а)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б)(3) Написати део програма којим се иницијализују улази 1, 2 и 5 у вектор табели.

в)(6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

д)(3) Које ће се вредности налазити на локацијама 0024h и 0025h након извршења секвенце под в)?

2. (5) Посматра се рачунар код кога је улазно/излазни адресни простор меморијски пресликан.

Адресни простор рачунара је 1М адреса, при чему је ширина адресбилне локације 8 бита. Нижих 512К адреса адресног простора је резервисано за RAM меморију, а преостало за ROM меморију и контролере периферија. У оквиру адреса адресног простора резервисаног за ROM меморију и контролере периферија, највиших 32К адреса је резервисано за ROM меморију а преостале адреса за контролере периферија.

Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само најнижих 256К адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само најнижих 16К адреса.

а) Назначити опсег адреса у адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за контролере периферија, опсег адреса попуњен RAM меморијом, опсег адреса попуњен ROM меморијом. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само најнижих 256К адреса од 512К адреса опсега адреса резервисаног за RAM меморију користећи чипове 16Кx4 бита (управљачки улази су RD, WR и CS).