



Организација рачунара – К3

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 6 одређује смер операције (1-улаз, 0-излаз), бит 8 је Enable којим се дозвољава прекид, а у статусним регистрима бит 8 је Ready који сигнализира спремност контролера. Бит 1 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0..FFh) са PER0 у меморијски блок који почиње од адресе 0100h, низа B(i) (i=0..FFh) са PER1 у меморијски блок почев од адресе 0200h и низа C(i) (i=0..FFh) са PER2 у меморијски блок почев од адресе 0300h. Након читавања низова A, B и C врши се формирање низа D, који почиње од адресе 0400h у меморији, на следећи начин: $D(i) = (A(i) + B(i)) + C(i)$ (i=0..FFh). На крају се резултујући низ шаље на периферију PER0. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати коришћењем DMA контролера у блоковском режиму рада, а слање на PER0 испитивањем бита спремности.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 128 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 128 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација Рачунара - К2

1.(15) Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 00000000h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 1, 2 и 3 у IV табели, респективно. Улаз 0 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 0000110Bh, 00001105h, 00001103h и 0000110Fh, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се бришу у микропрограму за обраду прекида, као и одређен број L бита, који се ажурирају у микропрограму за обраду прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQN, у току 5. по линији IRQM0, а у току 7. по линији IRQM1. На почетку су сви бити PSW-а постављени на 0. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
00000100h	INTE
00000101h	LOAD 1h
00000103h	INCA
00000104h	TRPE
00000105h	DECA
00000106h	INCA
00000107h	INTD
00000108h	TRPD

Слика 2

Адреса	Наредба
00001100h	INCA
00001101h	RTI
00001103h	DECA
00001104h	RTI
00001105h	POPA
00001106h	INCA
00001107h	INCA
00001108h	PUSHA

Слика 3

Адреса	Садржај
00000000h	0000110Fh
00000001h	0000110Bh
00000002h	00001105h
00000003h	00001103h
00000004h	00001000h
00000005h	00000000h

а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део програма којим се иницијализују улази 1, 2 и 3 у IVT.

в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 7. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.

д) (3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

2. (5) Посматра се асинхрона магистрала на којој се циклус читања реализује тако да је магистрала заузета све време трајања циклуса.

а) Нацртати временске облике сигнала које током реализације циклуса читања размењују газда и слуга.

б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања.