



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 7 одређује смер операције (0-улаз, 1-излаз), бит 15 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 1 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 2000h, и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 3000h. Након читавања низова A и B упоредо се врши формирање низа C, који почиње од адресе 4000h у меморији, на следећи начин: C(i) = A(i) + B(i) (i=0...FFh) и низа D, који почиње од адресе 5000h у меморији на следећи начин: D(i) = A(i) - B(i) (i=0...FFh). На крају се низ C шаље на периферију PER1, а низ D на периферију PER2. Пријем са PER0 реализовати коришћењем механизма прекида, пријем са PER1 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, слање низа C на PER1 реализовати коришћењем DMA контролера у блоковском режиму рада, а слање низа D на PER2 испитивањем бита спремности.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4GB и ширине меморијске речи 1B. "Data" део кеш меморије је капацитета 64KB и ширине меморијске речи 1B. Пресликавање је на нивоу блокова величине 128B.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 64КВ, адресибилна јединица је бајт. Процесор оперише само са целобројним величинама без знака величине 16 бита, а 16-битни подаци и адресе се смештају у меморију тако да је на нижој адреси виши бајт. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег приоритета, а IRQ1 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 2, 4 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 1100h, 110Fh и 1109h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 2h, 4h и 7h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC и PSW тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ3, у току 5. по линији IRQ1, а у току 7. по линији IRQ2. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је Fh. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 2h
0103h	INCA
0104h	DECA
0105h	STORE 2h
0107h	INTD

Слика 2

Адреса	Наредба
1100h	INTE
1101h	STORE 2h
1103h	DECA
1104h	RTI
1105h	POPA
1106h	STORE 1h
1108h	PUSHA

Слика 3

Адреса	Садржај
0000h	11h
0001h	01h
0002h	11h
0003h	03h
0004h	11h
0005h	00h

а)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б)(3) Написати део програма којим се иницијализују улази 2, 4 и 7 у вектор табели.

в)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г)(3) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредности бита I и L. Назначити у коме смеру расте стек.

д)(3) Која ће се вредност налазити на локацији 0002h након извршења секвенце под в)?

2. (5) Посматра се асинхрона магистрала на којој се циклус читања реализује тако да је магистрала заузета све време трајања циклуса.

а) Нацртати временске облике сигнала које током реализације циклуса читања размењују газда и слуга.

б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања.