Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku Jul 2012.

Ispit iz Arhitekture i organizacije računara 2

Opis arhitekture i organizacije procesora

Procesor je jednoadresni i ima 4 registra opšte namene, R0 do R3, svi su 16-bitni. Postoje i registri PSW i SP sa uobičajenim značenjem, kao i akumulator A. Memorijske adrese su širine 16 bita, širina magistrale podataka je 8 bita, a adresiranje je na nivou bajta. Procesor operiše samo sa 16-bitnim celobrojnim veličinama sa znakom i bez znaka. Podaci i adrese u memoriji zauzimaju dve susedne memorijske lokacije, pri čemu se stariji bajt nalazi na nižoj lokaciji, a mlađi bajt na višoj lokaciji. Vreme odziva memorije je neodređeno, magistrala je asinhrona.

Bitovi 7, 6, 5 i 4 prvog bajta instrukcije imaju vrednost 0000 za instrukcije skoka. Bitovima 3 do 0 prvog bajta instrukcije specificira se kod operacije za instrukcije skoka. Instrukcije uslovnog skoka se realizuju kao relativni skok u odnosu na tekuću vrednost programskog brojača PC, a pomeraj je 16 bitna celobrojna veličina sa znakom data 2. i 3. bajtom instrukcije, pri čemu je viši bajt pomeraja dat 2. bajtom, a niži bajt 3. bajtom instrukcije. Instrukcije bezuslovnog skoka se realizuju kao apsolutni skokovi, a adresa skoka je data 2. i 3. bajtom instrukcije, pri čemu je viši bajt adrese dat 2. bajtom, a niži bajt 3. bajtom instrukcije. Dužina instrukcija je 3 bajta.

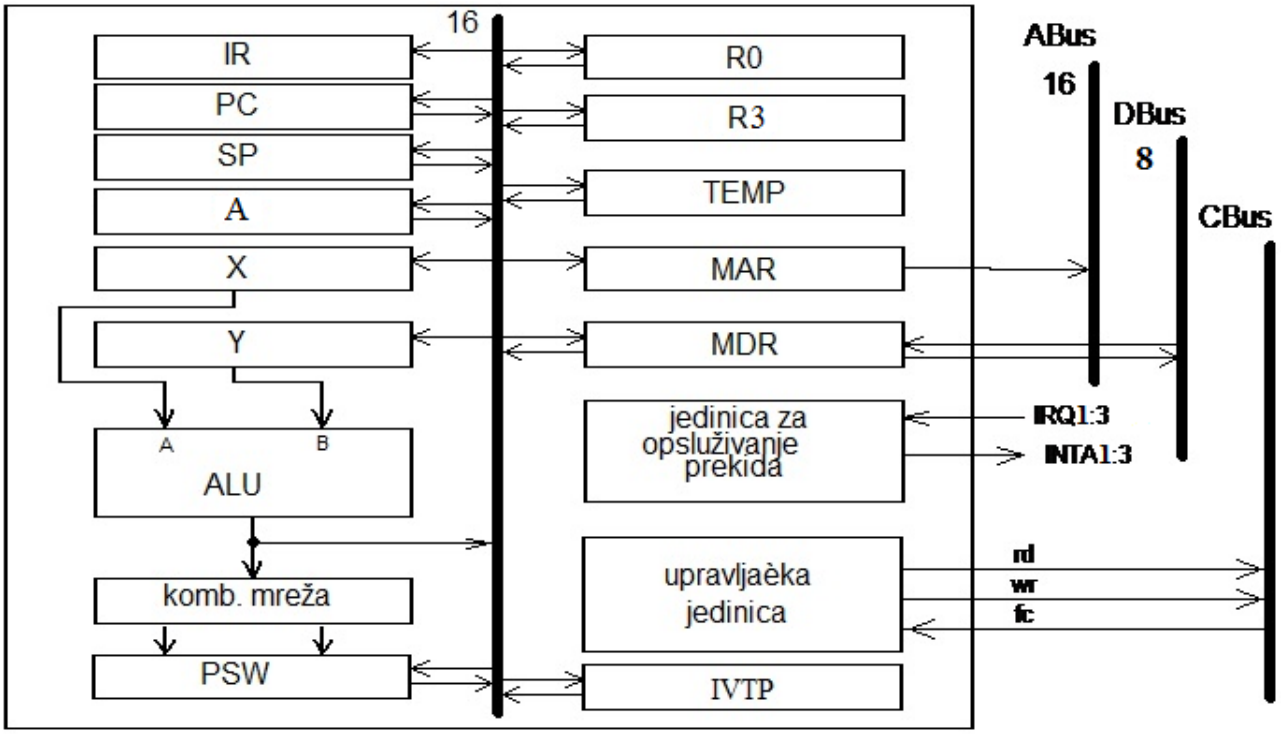
Bitovi 7, 6, 5 i 4 prvog bajta instrukcije imaju vrednost 1111 za bezadresne instrukcije. Bitovima 3 do 0 prvog bajta instrukcije specificira se kod operacije za bezadresne instrukcije. Dužina instrukcija je 1 bajt.

Bitovi 7, 6, 5 i 4 prvog bajta instrukcije u opsegu od 0001 do 1110 specificiraju kod operacije za adresne instrukcije. Dužina instrukcija je 1 ili 3 bajta i zavisi od specificiranog načina adresiranja. Načini adresiranja su specificirani bitovima 3 i 2 prvog bajta instrukcije. Postoje sledeći načini adresiranja: neposredno adresiranje, registarsko direktno adresiranje, registarsko indirektno adresiranje sa pomerajem i memorijsko direktno adresiranje. Kod neposrednog adresiranja 16 bitni operand je dat 2. i 3. bajtom instrukcije, pri čemu je viši bajt operand dat 2. bajtom, a niži 3. bajtom instrukcije. Bitovi 1 i 0 prvog bajta instrukcije se ne koriste. Dužina instrukcija je 3 bajta. Kod registarskog direktnog adresiranja bitovi 1 i 0 prvog bajta instrukcije se koriste za adresiranje jednog od registara opšte namene. Dužina instrukcija je 1 bajt. Kod registarskog indirektnog adresiranja sa pomerajem 16 bitni pomeraj je celobrojna veličina sa znakom u drugom komplementu data 2. i 3. bajtom instrukcije, pri čemu je viši bajt pomeraja dat 2. bajtom, a niži bajt 3. bajtom instrukcije. Bitovi 1 i 0 prvog bajta instrukcije se koriste za adresiranje jednog od registara opšte namene. Dužina instrukcija je 3 bajta. Kod memorijskog direktnog adresiranja adresa operanda je data 2. i 3. bajtom instrukcije, pri čemu je viši bajt adrese dat 2. bajtom, a niži bajt 3. bajtom instrukcije. Bitovi 1 i 0 prvog bajta instrukcije se ne koriste. Dužina instrukcija je 3 bajta.

Bezadresne instrukcije su RTS, RTI, INTE, INTD, TRPE, TRPD, ASR i ASL. Instrukcije skoka su JMP, JSR, JZ i JNZ. Adresne instrukcije su instrukcija prenosa u akumulator (LOAD), instrukcija prenosa iz akumulatora (STORE), aritmetička instrukcija sabiranja (ADD), aritmetička instrukcija oduzimanja (SUB) i logička instrukcija I (AND).

Postoje spoljašnji maskirajući prekidi, za koje zahtevi dolaze po linijama IRQ1 do IRQ3 procesora, pri čemu IRQ3 ima najviši prioritet, a IRQ1 najniži prioritet. Prekidni mehanizam je vektorisan, a periferijama se mogu dodeliti proizvoljni ulazi u vektor tabeli. Vektor tabela počinje od adrese na koju pokazuje registar IVTP. Pretpostaviti da postoji kombinaciona mreža koja na internu magistralu postavlja vrednost ulaza odgovarajućeg prekida kada se generiše upravljački signal IVTEout. Pri prekidu se na steku čuvaju PC i PSW tim redom i maskirajući prekidi se onemogućavaju brisanjem bita I u registru PSW. Biti L u registru PSW označavaju tekući nivo prioriteta izvršavanja i ažuriraju se u mikroprogramu za obradu prekida. Ne postoji mogućnost selektivnog maskiranja prekida. Stek raste prema nižim adresama, a SP ukazuje na poslednju zauzetu lokaciju.

Organizacija procesora data je na slici 1. ALU ima, pored ostalih, i kontrolne ulaze *incA* i *decA* za inkrementiranje i dekrementiranje vrednosti na A ulazu.



Slika 1. Organizacija procesora

Zadatak:

a) (**5p**) Prikazati strukturnu šemu mreže koja generiše signal logičkog uslova IRQ, koji znači da postoji spoljašnji maskirajući prekid koji treba opslužiti, i to pomoću izlaza registra IRR (Interrupt Request Register), koji ima 3 bita u kojima se pamte zahtevi za spoljašnji maskirajući prekid po linijama IRQ1...IRQ3, respektivno, i izlaza registra PSW (odnosno bita ovog registra koji su potrebni).

b) (20p) Napisati mikroprogram za ovaj procesor, sa fazom izvršavanja samo za instrukcije skoka (JMP, JSR, JZ i JNZ) i bezadresnu instrukciju RTS, a predvideti postojanje ostalih. Kôd treba da bude prilagođen mikroprogramskoj upravljačkoj jedinici, pri čemu se u jednoj mikronaredbi nalaze i polje sa upravljačkim signalima i polja koja definišu uslovni skok u mikroprogramu. Ne treba pisati mikroprogram za obradu prekida. Dohvatanje eventualnog drugog i trećeg bajta instrukcije treba da bude u fazi izvršavanja instrukcije. Pretpostaviti da je u registre TEMP i MDR moguć upis pojedinačno višeg i nižeg bajta sa interne magistrale korišćenjem upravljačkih signala TEMPHin, TEMPLin, MDRHin i MDRLin, respektivno. Pretpostaviti da registar MDR istovremeno izbacuje sadržaj i na viši i na niži bajt interne magistrale korišćenjem upravljačkog signala MDRout.

c) (5p) Napisati na asembleru ovog procesora program koji prebrojava koliko ima elemenata sa vrednošću koja se nalazi u registru R2, u nizu 16-bitnih reči koji počinje od adrese 0100h. Niz je dugačak onoliko koliko pokazuje sadržaj registra R0. Rezultat treba smestiti u registar R1. Dozvoljeno je menjati vrednost registra R0 u toku izvršavanja programa.

Napomena: Kolokvijum traje 120 minuta. Nije dozvoljena upotreba literature.