



Архитектура рачунара
- септембарски испитни рок -

1(15) (K2)

1.1. (5) Објаснити (нацртати дијаграме и коментарисати разлике) у чему се све разликују циклуси на магистралама у случају да је потребно да процесор добије број улаза од периферије у случају синхроне магистрале са атомским циклусима и синхроне магистрале са подељеним циклусима.

1.2. (5) Модули mod1 и mod0, од којих је mod1 највишег, а mod0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистралама.

а) Нацртати структуру арбитража за случај паралелне арбитраже и повезати ове модуле на арбитража, и међусобно, водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража са праћењем.

б) Да ли постоји ситуација у којој би се разликовао редослед приступа магистралама код арбитраже са праћењем и код арбитраже са памћењем ако би модули на исти начин упућивале захтеве? Образложити одговор.

1.3. (5) Контролер улазно/излазне периферије и улазно/излазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, као и неколико статусних и управљачких линија. Усвојити ко поставља статусне, а ко управљачке линије, тако да је број ових линија минималан.

а) Нацртати овај интерфејс и објаснити чему која линија служи.

б) Навести по ком редоследу и како се размењују информације између контролера и периферије како би се обавио трансфер са периферија и на периферију.

Редослед	Линија	Вредност	Значење	Ко поставља

2 (10) (K2) Посматра се једноадресни процесор који је повезан са меморијом и улазно/излазним уређајима преко синхроне магистрале. Улазно/излазни адресни простор је меморијски мапиран. Адресни простор је капацитета 16GB, а величина адресбилне јединица је 32 бита. Најнижих 3G адреса адресног простора је резервисано за RAM меморију. Највиших 100 адреса адресног простора је резервисано за улазно/излазни адресни простор. Адресни простор између адресног простора резервисаног за RAM меморију и улазно/излазног адресног простора је резервисан за ROM меморију.

Физичка RAM меморија је капацитета 4GB и заузима највише адресе адресног простора резервисаног за RAM. Физичка ROM меморија је капацитета 256MB и заузима најниже адресе адресног простора резервисаног за ROM меморију. Постоји само један улазно/излазни уређај који је повезан на највише адресе улазно/излазног адресног простора. Улазно/излазни уређај има 8 регистара.

а) (4) Табелу попунити са релевантним адресама. Све адресе дати у хексадецималном бројном систему.

Р.Б.	Адресни простор	Почетна адреса	Последња адреса
1.	Адресни простор резервисан за RAM		
2.	Адресни простор резервисан за ROM		
3.	Улазно/излазни адресни простор		
4.	Физичка RAM меморија		
5.	Физичка ROM меморија		
6.	Улазно/излазни адресни простор попуњен		

Напомена: Табелу прецртати (редни број, почетна адреса, последња адреса) у Вашу свеску.

б) (3) Приказати реализацију физичке ROM меморије користећи чипове 8Mx8 бита.

в) (3) Приказати део реализације улазно/излазног уређаја са регистрима који попуњавају само 8 највиших адресе из улазно/излазног адресног простора.

3 (15)

3.1. (5) Написати оптималну секвенцу инструкција неопходних за срачунавање израза

```
int a, *b, c, d, e;  
...  
e = a - b[4 * c + d];  
...
```

за процесор код кога аритметичке, логичке и померајке инструкције имају формат: OC reg, reg, reg/imm где је OC код операције, одредишни операнд и први операнд морају бити у регистру (reg), док други може бити или у регистру или дат непосредно (reg/imm). Инструкција LOAD има формат: LOAD reg, mem где је првим операндом дат одредишни регистар (reg), а другим извориште. Инструкција STORE има формат: STORE reg, mem где је првим операндом дат изворишни регистар (reg), а другим одредиште. А, В, С, D и Е су

глобалне променљиве које одговарају симболичким ознакама адреса меморијских локација у којима се налазе операнди. Садржај меморијских локација означених адресама А, В, С и D треба да остане непромењен, садржај одговарајућих регистара је дозвољено мењати. На располагању стоји 8 регистара опште намене. Сви подаци и адресе су исте дужине која је једнака адресибилној јединици.

3.2. (5) Написати оптималну секвенцу инструкција која одговара следећој стандардној библиотечној C функцији која копира првих *n* бајтова низа *str2* у низ *str1* водећи рачуна ако се низови преклапају:

```
void *memmove(void *str1, const void *str2, int n);
```

Формати инструкција и података су као у задатку 3.1. На располагању стоје и сложене инструкције.

3.3. (5) У посматраном рачунарском систему процесор има једну линију по којој може да прими захтев за прекид и једну линију по којој може да пошаље сигнал потврде. У датом систему има 9 улазно/излазних уређаја које треба некако повезати помоћу тог пара линија на процесор и омогућити за сваки улазно/излазни уређај скок на одговарајућу прекидну рутину векторисаним механизмом прекида користећи контролер прекида који је независан уређај.

а) Нацртати интерну структуру контролера прекида који дозвољава селективно маскирање приспелих прекида и приоритирање приспелих прекида.

б) Објаснити по чему се све систем који садржи контролер прекида као независан уређај разликује од система у коме процесор директно прима захтеве од наведених периферија.

4. (15) У рачунарском систему се налази једноадресни процесор, меморија, периферије PER0 и PER1 са придруженим DMA_PER1 контролером, као и један независан DMA контролер. Све компоненте рачунара су повезане системском магистралом са 16 битном адресном и 16 битном магистралом података. Адресирање је на нивоу 16 битних речи. Адресни простор овог рачунара и улазно/излазни адресни простор су раздвојени. Адресе релевантних регистара су:

PER0_CONTROL	FF00h	DMA_PER1_CONTROL	FF20h	DMA_CONTROL	FF30h
PER0_STATUS	FF01h	DMA_PER1_STATUS	FF21h	DMA_STATUS	FF31h
PER0_DATA	FF02h	DMA_PER1_DATA	FF22h	DMA_DATA	FF32h
PER1_CONTROL	FF10h	DMA_PER1_ADDR	FF23h	DMA_ADDR_SRC	FF33h
PER1_STATUS	FF11h	DMA_PER1_COUNT	FF24h	DMA_ADDR_DST	FF34h
PER1_DATA	FF12h			DMA_COUNT	FF35h

У управљачким регистрима бит 0 је *Start* којим се дозвољава почетак операције, битови 2 и 1 одређују тип преноса података (00 - улаз (*input*), 01 – излаз (*output*), 11 – меморија-меморија), бит 7 је *Enable* којим се дозвољава прекид, а у статусним регистрима бит 0 је *Ready* који сигнализира спремност контролера периферије. Бит 3 управљачких регистра DMA и DMA_PER1 контролера задаје се режим рада (0-блоковски (*burst*), 1-циклус по циклус (*cycle stealing*)). Бит 4 управљачког регистра DMA контролера представља бит *Dir*, при преносу података типом меморија-меморија, са вредношћу 0 бита *Dir* увећавају се обе адресе, док са вредношћу 1 умањују се обе адресе.

Написати главни програм и одговарајуће прекидне рутине којима се обавља следећи пренос. Са периферије PER0 се прихвата бесконачан низ елемената. Елемент низа се дефинише са два податка и то са идентификатором и са целобројном вредности. Елемент низа се шаље тако што периферија PER0 прво пошаље идентификатор, а затим у наредном слању целобројну вредност. Елементи низа се чувају у уређеном баферу који се налази на адреси *BUFFER*. Елементи бафера дефинишу се као `struct BuffElem {short id; short value;}`. Уређеност бафера се дефинише у виду растућег поретка идентификатора елемената низа (елемент са најмањом вредности идентификатора се налази на адреси *BUFFER*, а наредни елемент се налази на адреси *BUFFER*+2 и тако редом – бафер није кружни). Максимални број елемената бафера (капацитет) је дефинисана константом *BUFFER_LEN*, док се тренутни број елемената прати кроз променљиву *BUFFER_SIZE*. Треба обезбедити да променљива *BUFFER_SIZE* адекватно прати стање бафера. Уколико бафер није празан и уколико је периферија PER1 спремна (*Ready* = 1), потребно је покренути DMA_PER1 и послати све елементе на периферију PER1 у блоковском режиму рада.

У случају премештања података унутар бафера, користити DMA уређај у режиму рада циклус по циклус. Улаз са периферије PER0 реализовати испитивањем бита спремности.

Процесор не поседује регистре опште намене. Дозвољено је користити још променљивих, али њихове називе треба писати описно и семантички исправно.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Испит траје 3 сата. Потребно је на свесци назначити да ли се задаци **1.** и **2.** мења са колоквијумом или не. Студент је дужан да пише читко и уредно.