



Архитектура рачунара

**I(15) (K2)**

1. (5) Модули mod4, mod3, mod2, mod1 и mod0, од којих је mod4 највишег а mod0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистрали.

а) Нацртати структуру арбитража за случај серијске арбитраже. и повезати ове модуле на арбитраж водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.

б) Нацртати како ове модуле треба повезати да би могла да се реализује серијска арбитража водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.

2. (5) Нацртати структуру контролера улазно/излазне периферије без директног приступа меморији.

а) Објаснити функцију свих делова контролера, назначити како су поједини делови система повезани са магистралом.

б) Објаснити којим битовима и у којим регистрима се задају могући режими рада контролера и добијају информације како се одвија пренос података.

3. (5) Контролер улазне периферије и улазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер улазне периферије даје индикацију периферији да ли у његов регистар податка може да се уписује садржај са линија података, док периферија управљачком линијом обезбеђује упис податка са линија података у регистар податка контролера улазне периферије.

а) Навести по корацима како се статусна линија контролера периферије и управљачка линија периферије користе за синхронизацију при слању података из периферије у контролер периферије.

б) За случај да периферија не може да припреми нови податак пре него што је стари податак испоручен нацртати временске облике сигнала које размењују контролер периферије и периферија и на датом дијаграму назначити кораке (у складу са а).

в) За случај да периферија може да припреми нови податак пре него што је стари податак испоручен нацртати временске облике сигнала које размењују контролер периферије и периферија и на датом дијаграму назначити кораке (у складу са а).

**II (10) (K2)** Посматра се једноадресни процесор који је повезан са меморијом и улазно/излазним уређајима преко асинхроне магистрале. Улазно/излазни и меморијски адресни простори су раздвојени. И меморијски и улазно/излазни адресни простори су капацитета по 4GB, а адресбилна јединица је 8 бита. Најнижих 1MB меморијског адресног простора је резервисано за ROM меморију. Процесор поседује 2GB физичке RAM меморије која заузима средишњи део адресе адресног простора резервисаног за RAM, тако да је највиших 1GB простора резервисаног са RAM непопуњено, и 256KB физичке ROM меморије која заузима најниже адресе простора резервисаног за ROM меморију.

а) (4) Следећу табелу попунити са релевантним адресама. Напомена: табелу дословно прецртати у Ваше свеске. Све адресе дати у хексадецималном бројном систему.

Шта?	Почетна адреса	Последња адреса
Меморијски адресни простор		
Улазно-излазни адресни простор		
Адресни простор резервисан за RAM		
Адресни простор резервисан за ROM		
Физичка RAM меморија		
Физичка ROM меморија		

б) (3) Приказати реализацију физичке RAM меморије ако на располагању стоје меморијски RAM модули 512Mx8 бита.

в) (3) Приказати реализацију физичке ROM меморије ако су на располагању меморијски ROM модули капацитета 32Kx4 бита.

### III(15)

1. (5) Дат је програм PRIMER током чијег извршавања се скаче на процедуру PRIM. У процедури се врши упис у регистре опште намене R0, R1 и програмску статусну реч PSW. По повратку из процедуре вредности ових регистара треба да буду исте као и пре скока на процедуру.

а) Навести које се инструкције генеришу приликом позива процедуре, при уласку у процедуру и при изласку из процедуре и објаснити зашто се то ради.

б) Нацртати ситуације на стеку по извршавању генерисаних инструкција приликом позива процедуре, при уласку у процедуру и при изласку из процедуре и објаснити зашто се то ради. Стек расте према нижим локацијама и указује на задњу заузету локацију.

в) Навести како се генеришу адресе за приступ x, y, z, c, d и e.

```
PROGRAM PRIMER;
begin
    integer a,b;
    ...
    procedure PRIM (integer x,y,z);
    begin
        integer c,d,e;
        ...
        begin
            ...
        end;
    end;
    ...
begin
    ...
    CALL PRIM (a,b,b);
    ...
end;
end.
```

2. (5) У процесору постоји стринг инструкција MOVT (пренос са превођењем) која дозвољава да стрингови над којима се она извршава буду различите дужине.

а) Дати формат инструкције и навести шта се сваком од операнда у формату инструкције специфицира.

б) Објаснити како се извршава инструкција у свим ситуацијама које могу да настану као последица могућих специфицираних дужина стрингова.

3. (5) У посматраном рачунарском систему процесор има 3 пара линија по којима улазно/излазни уређаји могу процесору да шаљу захтеве за прекид и од процесора добијају сигнале потврда. У датом систему има 9 улазно/излазних уређаја које треба некако повезати помоћу та 3 пара линија на процесор и омогућити за сваки улазно/излазни уређај скок на одговарајућу прекидну рутину векторисаним механизмом прекида.

а) Нацртати како тих 9 улазно/излазних уређаја треба повезати помоћу та 3 пара линија на процесор.

б) Објаснити како тих 9 улазно/излазних уређаја шаљу захтеве за прекид и добијају дозволе, и како се реализује скок на одговарајућу прекидну рутину.

IV (15) Једноадресни процесор са меморијски мапираним улазно/излазним адресним простором, меморија, периферије PER0, PER1 и PER2, повезани су магистралом са 16 адресних линија и 16 линија за податке. Адресирање је на нивоу 16 битних речи. Адресе релевантних регистара су:

PER0_CONTROL	FF00h	PER1_CONTROL	FF10h	PER2_CONTROL	FF20h
PER0_STATUS	FF01h	PER1_STATUS	FF11h	PER2_STATUS	FF21h
PER0_DATA	FF02h	PER1_DATA	FF12h	PER2_DATA	FF22h

У управљачким регистрима бит 2 је Start којим се дозвољава почетак операције, бит 9 одређује смер операције (0-улаз, 1-излаз), бит 6 је Enable којим се дозвољава прекид, а у статусним регистрима бит 3 је Ready који сигнализира спремност контролера. Написати главни програм и одговарајуће прекидне рутине којима се обавља следећи пренос. Периферије PER0 и PER1 у паралели читају два низа података, A (PER0) и B (PER1), од 200h и 100h података, респективно, и смештају их у меморију почев од локација 1000h (низ A) и 1200h (низ B). Потребно је низ  $A(2*i)*A(2*i+1)+B(i)$ , од 100h података, послати на излаз на периферију PER2. Излаз на периферију PER2 омогућити чим одговарајући елементи низа буду прочитани. Улаз са PER0 реализовати механизмом прекида, улаз са PER1 испитивањем бита спремности, а излаз на PER2 механизмом прекида.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Испит траје 3 сата. Потребно је на свесци назначити да ли се задаци I и II мењају са колоквијумом или не.