



## Архитектура рачунара

**I(15) (K2) 1. (5)** Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за упис и циклус враћање податка. За сваки од наведена три циклуса на магистралаи:

**а)** нацртати временске облике сигнала на магистралаи. Испод цртежа означити које информације по адресним линијама и линијама података и које сигнале по управљачким линијама размењују газда у слуга приликом реализације.

**б)** навести шта све треба да постоји од хардвера на страни меморијског модула да би се наведени циклуси реализовали.

**2. (5) а)** Нацртати структуру контролера излазне периферије без директног приступа меморији.

**а)** Објаснити функцију свих делова контролера, назначити како су поједини делови система повезани са магистралом.

**б)** Објаснити којим битовима и у којим регистрима се задају могући режими рада контролера и добијају информације како се одвија пренос података.

**3. (5)** Контролер улазне периферије и улазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер улазне периферије даје индикацију периферији да ли у његов регистар податка може да се уписује садржај са линија података, док периферија управљачком линијом обезбеђује упис податка са линија података у регистар податка контролера улазне периферије.

**а)** Навести по корацима како се статусна линија контролера периферије и управљачка линија периферије користе за синхронизацију при слању података из периферије у контролер периферије.

**б)** За случај да периферија не може да припреми нови податак пре него што је стари податак испоручен нацртати временске облике сигнала које размењују контролер периферије и периферија и на датом дијаграму назначити кораке (у складу са а).

**в)** За случај да периферија може да припреми нови податак пре него што је стари податак испоручен нацртати временске облике сигнала које размењују контролер периферије и периферија и на датом дијаграму назначити кораке (у складу са а).

**II (10) (K2)** Адресна магистрала процесора је 16 битна, а магистрала података 8 битна. Садржај дела оперативне меморије је приказан на слици:

Адреса	0000	0001	0002	0003	0004	0005	0006	0007	0008	0009	000A	000B	...
Садржај	01	FF	00	04	05	30	00	33	56	07	00		...
...	...	...	...	...	...	...	...	...	...	...	...	...	...
Адреса	000C	000D	000E	000F	0010	0011	0012	0013	0014	0015	0016	0017	...
Садржај	00	30	06	00	07	00	30	20	00	0D	01	00	...
...	...	...	...	...	...	...	...	...	...	...	...	...	...
Адреса	1000	1001	1002	1003	1004	1005	1006	1007	1008	1009	100A	100B	100C
Садржај	28	00	05	7A	FF	11	20	00	FF	11	20	00	FF
...	...	...	...	...	...	...	...	...	...	...	...	...	...
Адреса	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	200A	...	...
Садржај	E0	31	80	00	08	E1	E3	02	00	25	03		

Процесор поседује 16 битне регистре PC (програмски бројач), SP (показивач на прву слободну локацију стека који расте према нижим адресама), регистре опште намене од R0 до R7 и 8 битни регистар ACC (акумулатор). При позиву потпрограма на стеку се чува само PC. Претпоставити да је пре почетка извршавања главног програма SP = A000h, PC = 1000h, R1 = 0002h, R2 = 0006h, а да се млађи бајт 16 битне речи смешта на вишу адресу. Навести секвенцу садржаја на адресној магистралаи, магистралаи података и контролној магистралаи за сваки циклус на магистралаи при извршавању програма и потпрограма приказаног на слици:

адреса	инструкција	коментар
1000h	LOAD 5h	; меморијско директно адресирање ACC=MEM[05h]
1003h	SUB (R2) FFh	; регистарско индиректно са 8 битним померајем ACC= ACC - MEM[R2+FFh]
1005h	JSR 2000h	; скок у потпрограм апсолутан скок
1008h	HALT	; заустављање процесора

```

potprogram
2000h  PUSH                ; упис садржаја акумулатора на стек MEM[SP--]=ACC
2001h  LOAD R1             ; регистарско директно адресирање ACC=R1
2002h  OUT 8h             ; у/и директно адресирање IO[8h]=ACC
2005h  POP                ; упис садржаја врха стека у акумулатор; MEM[++SP]=ACC
2006h  RTS                ; повратак из потпрограма
2007h  ...

```

Решење представити у табели чије заглавље изгледа као на слици:

P6	ABUS	DBUS	RD	WR	M/ $\overline{IO}$	PC	IR <sub>23:16</sub>	IR <sub>15:8</sub>	IR <sub>7:0</sub>	TEMP	ACC	R1	R2	SP	Коментар
----	------	------	----	----	--------------------	----	---------------------	--------------------	-------------------	------	-----	----	----	----	----------

P6 представља редни број циклуса на магистралама, ABUS и DBUS садржаје адресних линија и линија података у датом циклусу. RD, WR и M/ $\overline{IO}$  вредности управљачки сигнала на магистралама. PC садржај програмског бројача, IR садржај инструкцијског регистра, TEMP садржај прихватног регистра операнда или адресе операнда након завршетка циклуса, ACC садржај акумулатора, R1 садржај регистра R1, R2 садржај регистра R2 и SP садржај показивача на врх стека. У коментару навести у којој од фаза дохватања инструкције (IF), декодовања инструкције (ID) или извршавања (IE) се реализује дати циклус.

**III(15) 1. (5)** Написати секвенцу инструкција неопходних за срачунавање израза  $F = \frac{(A - B + C)}{(A - B - D) \cdot (E + 1)}$  за

процесор код кога аритметичке инструкције имају формат: OC reg, mem/reg/imm где је OC код операције, први операнд мора бити у регистру (reg), док други може бити у меморији, регистру или дат непосредно (mem/reg/imm). Инструкција LOAD има формат: LOAD reg, mem/reg/imm где је првим операндом дат одредишни регистар (reg), а другим извориште. Инструкција STORE има формат: STORE reg, mem/reg где је првим операндом дат изворишни регистар (reg), а другим одредиште. A, B, C, D, E и F су симболичке ознаке адреса меморијских локација у којима се налазе операнди. Садржај меморијских локација означених адресама A, B, C, D и E треба да остане непромењен, садржај одговарајућих регистра је дозвољено мењати.

**2. (5)** У процесору постоји инструкција контроле петље ACB (Add Compare and Branch - додај упореди и скачи).

**а)** Дати формат инструкције и навести шта се сваком од операнда у формату инструкције специфицира.

**б)** Објаснити како се извршава инструкција у свим ситуацијама које могу да настану као последица могућих специфицираних дужина стрингова.

**3. (5)** У посматраном рачунарском систему постоји само једна линија по којој улазно/излазни уређаји могу процесору да шаљу захтеве за прекид, док линија за слање сигнала потврде не постоји. У датом систему постоје 3 улазно/излазна уређаја UI2, UI1 и UI0, при чему UI2 највиши а UI0 најнижи приоритет.

**а)** Нацртати како та 3 улазно/излазна уређаја треба повезати помоћу те линије на процесор ради слања захтева за прекид.

**б)** објаснити како се реализује скок на одговарајућу прекидну рутину сваког од 3 улазно/излазна уређаја. Скок на одговарајућу прекидну рутину се реализује делом хардверски, а делом софтверски. Објаснити шта се и како ради хардверски, а шта и како софтверски. За онај део који се ради софтверски написати одговарајући програм. Адресе прекидних рутина уређаја UI2, UI1 и UI0 су 20000000h, 10000000h и 00000000h, респективно. Ширина меморијске речи и адресе меморијских локација су 32 бита.

**IV (15)** Једноадресни процесор са меморијски раздвојеним улазно/излазним и адресним простором, меморија, периферија PER0 (adrCR=ff10h, adrSR=ff11h, adrDR=ff12h), периферија PER1 (adrCR=ff20h, adrSR=ff21h, adrDR=ff22h) и периферија PER2 (adrCR=ff30h, adrSR=ff31h, adrDR=ff32h) са придруженим контролором периферије DMA (adrCR=ff00h, adrSR=ff01h, adrDR=ff02h, adrCNT=ff03h, adrAs=ff04h, adrAd=ff05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу за PER0 и PER1 је одређен фиксно и износи 1. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 3 управљачког регистра DMA контролера задаје режим рада (0-Burst, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 1100h, и низа C(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 1200h. Затим се изврши сабирање унетих низова (C(i) = A(i) + B(i) + C(i)) и резултујући низ шаље на периферију PER2. Улаз са PER0 реализовати испитивањем бита спремности, улаз са PER1 коришћењем механизма прекида, улаз са PER2 коришћењем DMA контролера у циклус по циклус режиму рада а излаз на PER2 коришћењем DMA контролера у burst режиму рада.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Испит траје 3 сата. Потребно је на свесци назначити да ли се задаци **I** и **II** мења са колоквијумом или не.