



Архитектура рачунара

1(15) (K2)

1.1. (5) Модули mod3, mod2, mod1 и mod0, од којих је mod3 највишег а mod0 најнижег приоритета, учествују у арбитражи, коришћењем серијског арбитрактора са памћењем, да би могли да реализују циклус на магистрали.

а) Нацртати структуру арбитрактора и повезати ове модуле на арбитрактор водећи рачуна о њиховим приоритетима. Објаснити шта је додатно (на страни модула) потребно како би се реализовала арбитрација.

б) Објаснити зашто може да настане размак између тренутка када модул жели магистралу и тренутка када модул тражи магистралу.

1.2. (5) Унос података из улазне периферије у меморију реализује се помоћу контролера без директног приступа меморији и контролера са директним приступом меморији. Навести по ком редоследу и објаснити које све сигнале и по ком редоследу размењују ови контролери између себе и са процесором и меморијом, приликом пребацивања једног податка из блока података из улазне периферије у неки део меморије.

Редослед	Линије	Значење	Ко поставља

1.3. (5) Контролер излазне периферије и излазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер излазне периферије даје индикацију периферији да ли се у његовом регистру податка већ налази податак који је доступан на линијама података, док периферија управљачком линијом обезбеђује читање податка са линија података у свој интерни регистар.

а) Посматра се синхронизација између процесора и контролера периферије. Навести по ком редоследу и како се размењују информације (не обавезно сигнали) између контролера и процесора како би се обавио трансфер.

Редослед	Информација	Значење	Ко поставља

б) Након завршеног трансфера податка од процесора до контролера, која линија између контролера и периферије мења вредност, која је била стара вредност и које је значење нове вредности?

Линија	Стара вредност	Нова вредност	Значење

2 (10) (K2) Адресни простор неког рачунара је 16MB, а ширина меморијске речи износи 8 бита. Улазно-излазни адресни простор је меморијски мапиран и заузима највиших 512KB адресног простора, док меморијски адресни простор заузима остатак. Највиших 128KB меморијског адресног простора је резервисано за ROM меморију, а остатак за RAM меморију. Од целокупног опсега адреса предвиђеног за ROM меморију попуњено је само најнижих 64KB, а од целокупног опсега адреса предвиђеног за RAM меморију попуњено је само најнижих 8MB.

а) Назначити опсег адреса у адресном простору рачунара, опсег адреса резервисан за улазно-излазни адресни простор, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за RAM меморију, опсег адреса попуњених ROM меморијом и опсег адреса попуњених RAM меморијом. Резултат представити табеларно.

б) Реализовати модул ROM меморије који попуњава само нижих 64KB адреса од 128KB адреса опсега адреса резервисаног за ROM меморију користећи чипове 1024x2 бита. Користити што мање логичких елемената.

в) Реализовати део контролера периферије са локацијама (8-битни регистри) које попуњавају само најнижих 16 адреса из целокупног опсега адреса резервисаног за улазно-излазни адресни простор.

3 (15)

3.1. (5) Написати оптималну секвенцу инструкција неопходних за срачунавање израза

```
int a, b, c, d, e, f;  
...  
f = (a - b + c) / ((a - b - d * 2) * (e + 2));  
...
```

процесор код кога аритметичке инструкције имају формат: OC reg, mem/reg/imm где је OC код операције,

први операнд мора бити у регистру (reg), док други може бити у меморији, регистру или дат непосредно (mem/reg/imm). Инструкција LOAD има формат: LOAD reg, mem/reg/imm где је првим операндом дат одредишни регистар (reg), а другим извориште. Инструкција STORE има формат: STORE reg, mem/reg где је првим операндом дат изворишни регистар (reg), а другим одредиште. А, В, С, D, Е и F су глобалне променљиве које одговарају симболичким ознакама адреса меморијских локација у којима се налазе операнди. Садржај меморијских локација означених адресама А, В, С, D и Е треба да остане непромењен, садржај одговарајућих регистара је дозвољено мењати.

3.2. (5) Написати ефикасну процедуру која ради пресликовање (конверзију латиничног у ћирилични текст у одговарајућем једнобајтном кодном распореду) улазног текста у излазни текст. Који су аргументи ове процедуре?

3.3. (5) У посматраном рачунарском систему процесор има једну линију по којој може да прими захтев за прекид и једну линију по којој може да пошаље сигнал потврде. У датом систему има 8 улазно/излазних уређаја које треба некако повезати помоћу тог пара линија на процесор и омогућити за сваки улазно/излазни уређај скок на одговарајућу прекидну рутину векторисаним механизмом прекида користећи контролер прекида који је независан уређај.

а) Нацртати интерну структуру контролера прекида који дозвољава селективно маскирање приспелих прекида и приоритизирање приспелих прекида.

б) Објаснити по чему се систем који садржи контролер прекида као независан уређај разликује од система у коме процесор директно прима захтеве од наведених периферија.

4. (15) У рачунару се налази двоадресни процесор, меморија и FPGA чип који представља једну од периферија рачунара. Контролер периферије FPGA чипа нема директан приступ меморији, па му је придружен контролер FPGA_DMA. Све компоненте рачунара су повезане системском магистралом са 16 битном адресном и 16 битном магистралом података. Адресирање је на нивоу 16 битних речи. Адресни простор овог рачунара је са раздвојеним улазно/излазним и меморијским адресним простором. У процесору се налази 32 регистра опште намене, као и регистри BP, SP и PSW (са уобичајеним значењем). Величина свих регистра је 16 бита. Стек расте према вишим адресама и показује на прву слободну локацију. Адресе релевантних регистра:

FPGA_CONTROL	FF00h	FPGA_DMA_CONTROL	FF10h	FPGA_DMA_CNT	FF20h
FPGA_STATUS	FF01h	FPGA_DMA_STATUS	FF11h	FPGA_DMA_ASRC	FF21h
FPGA_DATA	FF02h	FPGA_DMA_DATA	FF12h	FPGA_DMA_ADST	FF22h

У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 0 одређује смер операције (0-улаз, 1-излаз), бит 1 је Enable којим се дозвољава прекид, а у статусним регистрима бит 8 је Ready који сигнализира спремност контролера. Бит 2 управљачког регистра FPGA_DMA контролера задаје режим рада (0-блоковски (burst), 1-циклус по циклус (cycle stealine)).

Задатак FPGA чипа је да прими низ података, обради их, а затим врати резултат у виду новог низа. Дужина резултујућег низа је позната тек након обраде података.

а) Потребно је написати функцију `short sendToFPGA(short* x, short xCnt, short* y)`. Параметар *x* представља почетак низа који треба да се пошаље на чип, *xCnt* представља дужину низа *x*, параметар *y* представља меморијску локацију где треба да се смести обрађени низ. Резултат функције се враћа кроз регистар R0 и представља величину обрађеног низа. Функција не треба да промени вредност PSW регистра.

Протокол по ком чип обрађује податке је следећи. FPGA очекује да прими прво дужину низа за обраду, а затим и цео низ. Након тога процесор треба да промени смер рада FPGA, тако да сада чип шаље прво податак који представља дужину резултујућег низа, а затим и сам резултујући низ.

Обзиром да се ова функција често користи, потребно је обратити пажњу на ефикасност целокупног система рачунара, тако што ће се процесор и магистрала користити што је мање могуће. Претпоставити да меморија брзо реализује операције (читања и писања) само над подацима који се налазе на узастопним адресама. Користити FPGA_DMA када за то има смисла и то у режиму рада који ће дати боље перформансе и објаснити зашто је одабран тај режим рада.

За реализацију улаза и излаза користити технику програмираног прекида. При имплементацији функције могуће је користити само једну глобалну меморијску локацију - MEM[1000h].

б) (бонус) Побољшати претходно решење коришћењем глобалне променљиве *sem* - показивача на семафор *Semaphore* sem*, као и глобалних функција

`void wait(Semaphore* s)` и `void signal(Semaphore* s)`.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Испит траје 3 сата. Потребно је на свесци назначити да ли се задаци **1.** и **2.** мења са колоквијумом или не. Задатак 4. б) доноси бонус 5 поена, уколико је комплетно тачан задатак 4. а).