



**Архитектура рачунара - надокнада првог колоквијума**

**1. (5)** У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

**а)** Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

**б)** За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

**2. (5)** Посматра се процесор чији је опис дат у задатку 3. Претпоставимо да се извршава главни програм и да је бит Т програмске статусне речи којим се задаје прекид после сваке инструкције постављен на вредност 1. Навести све ситуације у којима се након (започињања) неке инструкције главног програма неће ући у *trap* прекидну рутину после те инструкције (а пре прве наредне инструкције главног програма).

**3. (15)** Адресни простор процесора је величине 64KB, адресибилна јединица је 8-битна реч, а вишечни бројеви се смештају тако да је на вишој адреси виша реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним простором. Механизам прекида је векторисан. Адресе прекидних рутина се чувају у табели адреса прекидних рутина (IV табела - *Interrupt Vector Table*) која почиње на адреси 2h оперативне меморије.

Процесор има две улазне линије IRQ0 и IRQ1 за спољне маскирајуће прекиде, при чему је IRQ0 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде на које су везане периферије PER0, PER1 и PERN респективно. Њима треба доделити улазе 2, 4 и 5 у вектор табели, респективно. Сви унутрашњи прекиди имају фиксни улаз 1 у IV табели. Адресе 8-битних регистара периферија у којима се чувају бројеви улаза су 26h, 22h и C3h, респективно. У процесору постоји регистар PSW (*Program Status Word*) са битовима I (*Interrupt Enable*), T (*Trap*) и одговарајући број L (*Priority Level*) бита. Величина PSW регистра је 8 бита. У кораку за обраду прекида на стек се стављају PSW и PC тим редом. Стек расте према вишим локацијама и указује на последњу заузету локацију. Акумулатор је 8 битни. Инструкције INTE, INTD, TRPE и TRPD не реагују на прекиде. Инструкција RTI реагује на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR.

У наставку је дат део главног програма, прекидне рутине и садржај дела меморије. Инструкција на адреси 2000h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQ1, у току 4. по линији IRQ0, а у току 7. по линији IRQN. Иницијално сви бити PSW регистра постављени су на 0. Почетни садржај акумулатора је 0h, вредност регистра указивача на стек SP је 100h.

2000h	LOAD 1h	2100h	INCA	2109h	ADD 0h	0000h	20h	0008h	20h
2004h	INTE	2101h	INTE	210Dh	TRPE	0001h	07h	0009h	08h
2005h	ADD #3h	2102h	STORE 1h	210Eh	RTI	0002h	0Fh	000Ah	00h
2007h	TRPE	2106h	ADD #2h	210Fh	SUB #2	0003h	21h	000Bh	21h
2008h	STORE 1h	2108h	RTI	2111h	RTI	0004h	02h	000Ch	09h
200Ch	HALT					0005h	21h	000Dh	21h
						0006h	0Fh	000Eh	00h
						0007h	21h	000Fh	21h

**а) (3)** На којим адресама започињу прекидне рутине за: спољашње маскирајуће прекиде, спољашње немаскирајуће прекиде, прекид после сваке инструкције, прекид услед грешке у коду, прекид услед грешке у адресирању?

**б) (1)** Написати део кода којим се периферији PER0 додељује број улаза.

**в) (1)** Написати део програма којим се попуњава улаз у IV табели за PER1.

**г) (9)** Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 2000h. Резултат дати табеларно (друга страна). У вежбанци треба приказати изглед стека, са назначеним адресама.

**д) (1)** Која ће се вредност налазити на локацији 1h након извршења секвенце под г)?

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

