



Архитектура рачунара
Први колоквијум - надокнада

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.

а) Навести који се регистри чувају и зашто.

б) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Навести како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

а) унутрашњи прекид због инструкције прекида,

б) унутрашњи прекид због грешке у коду операције и

в) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

3. (15) Оперативна меморија неког рачунара је капацитета 4GB, а ширина речи меморије је 8 бита. Подаци се у меморију смештају тако да се на нижој адреси налази нижих 8 бита. Процесор је једноадресни, акумулатор је дужине 8 бита. Улазно/излазни и меморијски адресни простори су раздвојени. Механизам прекида је векторисан. Адресе прекидних рутина се чувају у табели адреса прекидних рутина (IV табела - *Interrupt Vector Table*) која почиње на адреси 32h оперативне меморије и има 256 улаза.

У рачунару могу да се генеришу три спољашња маскирајућа захтева за прекид који долазе у процесор преко улазних линија $IRQM_0$, $IRQM_1$ и $IRQM_2$ као импулс и један спољашњи немаскирајући захтев за прекид који долази у процесор преко улазне линије $IRQN$. Спољашњи маскирајући захтеви за прекид долазе од контролера периферија, спољашњи немаскирајући захтев за прекид долази од уређаја који контролише исправност рада делова рачунара. Адресе прекидних рутина за спољашње маскирајуће захтеве за прекид са линија $IRQM_0$, $IRQM_1$, $IRQM_2$ и спољашњи немаскирајући захтев за прекид са линије $IRQN$ се налазе у улазима 1, 2, 3 и 5 IV табеле, респективно. Прекидне рутине почињу на адресама 1000h, 1019h, 100Ah и 1011h, респективно. Адресе регистара контролера периферија PER_0 , PER_1 и PER_2 у којима се чувају бројеви улаза у IV табелу су 10h, 20h и 30h, респективно.

Процесор може да генерише један унутрашњи захтев за прекид због извршавања инструкције прекида INS . Претпоставити да је извршавање инструкције INS тако реализовано да се у фази извршавање операције само у флип-флоп $PRINS$ уписује вредност 1 и одмах прелази на фазу опслуживање прекида. У оквиру фазе опслуживање прекида се прелази на прекидну рутину на исти начин као и за све остале прекиде. Највиши приоритет има унутрашњи захтев за прекид због извршавања инструкције прекида INS , након тога следи спољашњи немаскирајући захтев за прекид, док ниже приоритете имају спољашњи маскирајући захтеви за прекид. У оквиру спољашњи маскирајућих захтева за прекид највиши ниво приоритета има захтев за прекид који је везан на линију $IRQM_2$, затим захтев за прекид који је везан на линију $IRQM_1$, док најнижи ниво приоритета има захтев за прекид који је везан на линију $IRQM_0$.

У процесору постоји осмобитни регистар PSW (*Program Status Word*) са битовима I (*Interrupt Enable*) и $L_{1...0}$ (*Priority Level*). Бит I вредношћу 1 дозвољава прихватање спољашњих маскирајућих захтева за прекид. Битови $L_{1...0}$ садрже ниво приоритета текућег програма и користе се да се само приликом извршавања главног програма и прекидних рутина спољашњих маскирајућих захтева за прекид реализује механизам којим се прихватају спољашњих маскирајући захтеви за прекид једино уколико су вишег нивоа приоритета од нивоа приоритета текућег програма. Такође постоји и 3 битни регистар маске $IMR_{2...0}$ (*Interrupt Mask Register*) код кога вредност 1 на позицији бита i значи да је дозвољен прекид са линије $IRQM_i$, $i=0,1,2$. Овај регистар иницијално садржи вредност 3h.

У оквиру извршавања фазе *опслуживање прекида* на стеку се хардверски чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а указивач на врх стека SP указује на задњу заузету локацију. Инструкције INTE и INTD не реагују на захтеве за прекид. Изглед дела главног програма је дат на слици 1, прекидних рутина на слици 2. Инструкција INTE на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQM₀, у току 2. инструкције по линији IRQM₂, у току 5. по линији IRQM₁, а у току 6. инструкције по линији IRQN. На почетку извршавања главног програма су сви бити регистра програмске статусне речи PSW-а постављени на 0. Почетни садржај меморијске локације 1h је 15h.

Слика 1

Адреса	Наредба
100h	INTE
101h	LOAD #5
103h	INC
104h	STORE 1h
109h	INTD

Слика 2

Адреса	Наредба
1000h	INC
1001h	LOAD 1h
1006h	INTE
1007h	INS #3
1009h	RTI

Адреса	Наредба
100Ah	INC
100Bh	STORE 1h
1010h	RTI
1011h	LOAD #2h
1013h	STORE 1h
1018h	RTI

- а) (2) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- б) (3) Нацртати изглед првих 6 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- в) (8) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (2) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.