



**Архитектура рачунара
Први колоквијум**

1. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмобитне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 12, 13, 14 и 15 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

2. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависности од броја програмски доступних регистара у процесору.

3. (15) Оперативна меморија неког рачунара је капацитета 64 KB, а ширина речи меморије је 8 бита. Подаци ширине 16 бита се у меморију смештају у две суседне меморијске локације и то тако да се на нижој адреси налази виших 8 бита, а на вишој адреси нижих 8 бита податка. Процесор је једноадресни, акумулатор је дужине 8 бита. Улазно/излазни и меморијски адресни простори су раздвојени. Механизам прекида је векторисан. Адресе прекидних рутина се чувају у табели адреса прекидних рутина (IV табела - *Interrupt Vector Table*) која почиње на адреси 0h оперативне меморије и има 256 улаза.

У рачунару могу да се генеришу три спољашња маскирајућа захтева за прекид који долазе у процесор преко улазних линија $IRQM_0$, $IRQM_1$ и $IRQM_2$ као импулс и један спољашњи немаскирајући захтев за прекид који долази у процесор преко улазне линије $IRQN$. Спољашњи маскирајући захтеви за прекид долазе од контролера периферија, спољашњи немаскирајући захтев за прекид долази од уређаја који контролише исправност рада делова рачунара. Адресе прекидних рутина за спољашње маскирајуће захтеве за прекид са линија $IRQM_0$, $IRQM_1$, $IRQM_2$ и спољашњи немаскирајући захтев за прекид са линије $IRQN$ се налазе у улазима 0, 1, 2 и 3 IV табеле, респективно. Прекидне рутине почињу на адресама 1011h, 1000h, 1007h и 100Ch, респективно. Највиши приоритет има спољашњи немаскирајући захтев за прекид, затим следе спољашњи маскирајући прекид са линије $IRQM_2$, па спољашњи маскирајући захтев за прекид са линије $IRQM_1$ и на крају са најнижим приоритетом долази спољашњи маскирајући захтев за прекид са линије $IRQM_0$.

У процесору постоји регистар PSW (*Program Status Word*) са битовима I (*Interrupt Enable*) и $L_1 \dots L_0$ (*Priority Level*). Бит I вредношћу 1 дозвољава прихватање спољашњих маскирајућих захтева за прекид. Битови $L_1 \dots L_0$ садрже ниво приоритета текућег програма и користе се да се само приликом извршавања главног програма и прекидних рутина спољашњих маскирајућих захтева за прекид реализује механизам којим се прихватају спољашњих маскирајући захтеви за прекид једино уколико су вишег нивоа приоритета од нивоа приоритета текућег програма. Такође постоји и 3 битни регистар маске $IMR_{2 \dots 0}$ (*Interrupt Mask Register*) код кога вредност 1 на позицији бита i значи да је дозвољен прекид са линије $IRQM_i$, $i=0,1,2$. Овај регистар иницијално садржи вредност 5h.

У оквиру извршавања фазе *опслуживање прекида* на стеку се хардверски чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а указивач на врх стека SP указује на задњу заузету локацију. Инструкције INTE, INTD и RTI не реагују на захтеве за прекид.

Изглед дела главног програма је дат на слици 1, прекидних рутина на слици 2. Инструкција INTE на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији $IRQM_1$, у току 3. инструкције по линији $IRQM_2$, у току 5. по линији $IRQN$, а у току 7. инструкције по линији $IRQM_0$. На почетку извршавања главног програма су сви бити регистра програмске статусне речи PSW-а постављени на 0. Почетни садржај меморијске локације 1h је 15h.

Слика 1

Адреса	Наредба
100h	INTE
101h	LOAD #3
104h	INC
105h	STORE 1h
108h	INTD

Слика 2

Адреса	Наредба
1000h	INC
1001h	LOAD 1h
1004h	INTE
1005h	INC
1006h	RTI

Адреса	Наредба
1007h	INC
1008h	STORE 1h
100Bh	RTI
100Ch	LOAD #5h
100Dh	STORE 1h
1010h	RTI
1011h	POP
1012h	INC
1013h	PUSH
1014h	RTI

а) (3) Написати део програма којим се попуњава улаз 1 у IV табели.

б) (2) Нацртати изглед првих 4 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (8) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

г) (2) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.