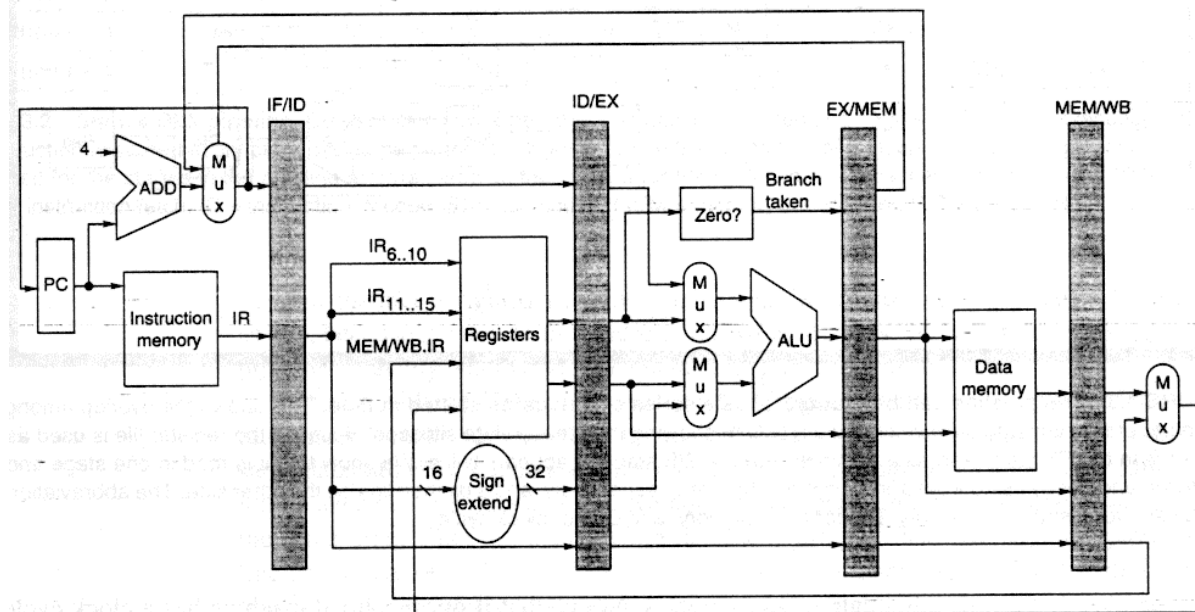




Архитектура и организација рачунара 1 – К3

1. (15) Посматра се процесор *pipeline* организације дат на слици 1. Свака фаза извршавања инструкције траје једну периоду сигнала такта укључујући и фазу 2 у којој се чита из регистарског фајла (*Registers*) и фазу 5 у којој се уписује у регистарски фајл (*Registers*).



Слика 1. *Pipeline* са реализацијом скока у четвртом степену

На процесору се извршава следећа секвенца инструкција:

```
LW R1, (R2)3; R1=MEM[R2+3]
ADD R1, R3, R4; R1=R3+R4
ADD R1, R5, R6; R1=R5+R6
SW R1, (R7)3; MEM[R7+3]=R1
```

У овој секвенци инструкција постоје хазарди података. У неким ситуацијама је могуће реализовати додатни хардвер за прослеђивање којим се елиминишу хазарди података и обезбеђује извршавање инструкција без заустављања проточне обраде, можда постоје и ситуације у којима је хазард података могуће решити једино заустављањем проточне обраде.

а) (8) За сваку од ситуација у којој се активира неки део хардвера за прослеђивање или заустављање, навести због које две инструкције се активирао, навести тип зависности (RAW, WAW, WAR) и навести која од њих се може решити заустављањем проточне обраде, а која прослеђивањем (могуће и оба). Тамо где се зауставља навести колико периода сигнала такта се зауставља, а тамо где се прослеђује (могуће после заустављања) навести шта (који је изворишни регистар) се куда прослеђује (шта је одредиште). Уколико се неко прослеђивање није реализовало због неке друге зависности то посебно назначити. Одговор дати табеларно.

| РБ. | Инстр. 1 | Инстр. 2 | Тип | З/П | Заустављање | Прослеђивање | | |
|-----|----------|----------|-----|-----|-------------|--------------|-----------|-----------|
| | | | | | | Извориште | Одредиште | Објашњење |
| | | | | | | | | |

б) (7) Нацртати модификовану слику процесора са слике 1 која треба да садржи само оне делове који се користе (активирају) за реализацију прослеђивања која се јављају у овом задатку. За сваки део хардвера назначити ситуацију (редни број из претходне табеле) за коју се реализује прослеђивање.

2. (15) Посматра се модификован процесор *pipeline* организације са слике 1 код којег постоји прослеђивање (*forwarding*). Претпоставити да постоји посебан хардвер који омогућава да се утврђивање да ли се ради о инструкцији скока (не и да ли је услов скока испуњен) и утврђивање адресе скока обавља у фази 1 (*IF*). Услов скока се утврђује на исти начин као код процесора са слике 1. У фази 1 (*IF*) постоји јединица са бафером предвиђања величине 4 и користи се корелисана шема за предвиђање (1, 1). Бафер за предвиђање скока се ажурира када инструкција скока дође у фазу 4 (*MEM*). Уколико се из више фаза покуша приступити јединици са бафером предвиђања предност има инструкција која се дуже налази у проточној обради. Извршава се следећи програмски сегмент:

```

      LW      R2, (R1)0      ;R2=MEM[R1+0]
      BEQZ    R2, exit      ;if (R2 == 0) goto exit
loop:  LW      R3, (R1)1      ;R3=MEM[R1+1]
      ANDI    R4, R3, #1    ;R4=R3&1
      BNEZ    R4, skip      ;if (R4 != 0) goto skip
      ADD     R5, R5, R3     ;R5=R5+R3
skip:  ADDI    R1, R1, #1    ;R1=R1+1
      SUBI    R2, R2, #1    ;R2=R2-1
      BNEZ    R2, loop      ;if (R2 != 0) goto loop
exit:  SW      R5, (R6)0     ;MEM[R6+0]=R5
      ADDI    R7, R7, #1    ;R7=R7+1
      SUBI    R8, R8, #1    ;R8=R8-1

```

Изглед дела меморије почев од адресе 100h је приказан на слици 3, све вредности су хексадецималне. Из меморије се чита и у њу уписује 32-битне реч по реч. Почетна адреса програма је 1000h, а свака инструкција заузима тачно једну адресу, адресирање је на нивоу 32-битне речи.

| | | | | | | | | | | | | | | |
|---------|--|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--|
| Адреса | | 100 | 101 | 102 | 103 | 104 | 105 | 106 | 107 | 108 | 109 | 10A | 10B | |
| Садржај | | 2 | 5 | 2 | C | 1 | 6 | 0 | 1 | 2 | 0 | 1 | 9 | |

Слика 3. Изглед дела меморије

а) Сматрати да све структуре које се користе за предвиђање исхода скока пре извршавања датог програмског сегмента садрже нуле. Нула означава предикцију да до скока не долази. Приказати табеларно шта се дешава у којој фази за првих 16 инструкција које се изврше. Такође, приказати садржај структура које се користе за предвиђање уз означавање свих промена током извршавања. Почетна вредност регистра R1 је 100h, а регистара R5, R6, R7 и R8 је 0h.

б) Уколико је могуће премештањем инструкција датог програмског сегмента постићи да се смањи број заустављања проточне обраде, написати такву секвенцу инструкција уз задржавање коректности програма.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 2 сата.