



Архитектура и организација рачунара 1 – К2 надокнада

1. (15) Рачунар поседује виртуелну меморију сегментне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 2^8 сегмената, максималне величине 8 KB. Физички адресни простор је величине 2 MB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са сет асоцијативним пресликавањем, поседује 2 улаза по сету и 16 сетова, користи FIFO алгоритам замене. Максималан број процеса је 16.

а) (5) Нацртати табелу сегмената и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (5) Посматра се превођење виртуелне у физичку адресу. За сваку карактеристичну ситуацију дати:

- назив;
- за TLB јединицу (ако јој се приступа) назначити на како је добијен број улаза, коју вредност има бит V, а коју бити у пољу таг, да ли се приступ ради хардверски или софтверски;
- за табелу сегмената (ако јој се приступа) назначити како је добијена адреса улаза одакле је прочитан дескриптор сегмента и коју вредност има бит V у дескриптору сегмента, да ли се приступ ради хардверски или софтверски;
- за диск (ако му се приступа) назначити како је добијена адреса на диску.

Карактеристичне ситуације би биле:

1. постоји сагласност у TLB јединици,
2. не постоји сагласност у TLB јединици, и постоји сегмент у оперативној меморији.

Одговор дати табеларно. Водити рачуна да за одређене ситуације може бити више редова.

Прилико попуњавања табеле користити ознаке дате под а).

	TLB јединица				Табела сегмената			Диск	
Ситуација	Улаз	V	Таг	X/C	Адреса улаза	V	X/C	Адреса на диску	X/C

в) (5) Уколико би дати рачунарски систем поред процесора чинили и меморија и У/И уређај са DMA контролером повезани асинхроним магистралом на којој се циклуси реализују као атомске операције. Процесор поседује реалну кеш меморију која користи алгоритам врати назад (*write back*) за ажурирање садржаја оперативне меморије и алгоритам довлачи блок (*write allocate*) при операцији уписа уколико нема сагласности. Објаснити на који начин се обезбеђује (хардверски, или софтверски или комбиновано) да излазна периферија добија ажурне вредности података које DMA контролер преноси из меморије на излазну периферију.

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 2h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне):

02019 (Ex), 12345 (Rd), 0201A (Ex), 54321 (Wr), F2019 (Ex).

Сви сегменти се налазе у оперативној меморији, и смештени су почев од локација 10000h, 20000h, 30000h и 40000h физичке меморије, респективно. Величина сваког сегмената је 8 KB, а пре дате секвенце TLB јединица је била празна.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља *Segment* и *Word*, вредности поља *Tag* и *Set* у TLB јединици, коментар да ли је било сагласности у TLB јединици и физичку адресу којој се приступало. Одговор дати табеларно.

3. (10) Посматра се рачунарски систем са меморијским системом са преклопљеним приступом меморијским модулима, тако да је оптимизација извршена за секвенцијални приступ процесора меморији. Величина једног меморијског модула је 256MB и постоји 32 модула. Адресибилна јединица и ширина акумулатора су по 1 бајт. Циклус повратка прочитаног податка из меморије идентификује се тако што су обе контролне линије *rd* и *wr* активне. Претпоставити да након иницијализације операције уписа у меморију меморијски модул је заузет наредне три периода сигнала такта и да је након иницијализације операције читања из меморије модул заузет две периоде сигнала такта и одговор даје тек у трећој.

Сви захтеви за приступ магистрали постављају се синхроно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитрају сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном *master*-у и тај *master* обавља циклус на магистрали. Међу процесорима, виши приоритет има процесор са мањим идентификационим бројем (ID). Међу модулима, виши приоритет има модул са мањим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико процесор постави захтев модулу који је заузет обрадом раније задате операције, модул му одговара негативно у истом такту (*ack*=0), процесор одустаје од захтева, паузира 2 такта, а онда понавља исти захтев. Три процесора извршавају следеће програмске сегменте (формат заглавља је: такт:IDprocesora, све вредности су хексадецималне):

такт 0:1 (ID процесора)	0:2	0:3
55000 AND #5	66000 PUSH	77000 OR #5
55002	66001 ...	77002 ...

Претпоставити да су вредност за процесор 2 ACC=55h и SP=88000h, а да SP показује на прву слободну локацију. Инструкције се дохватљају тако што се одмах након пријема једног бајта инструкције у следећем такту упућује захтев за довлачењем следећег бајта. Све инструкције које током извршавања врше приступ подацима у меморији, сам приступ започињу у трећем такту након фазе читања инструкције (прочитају инструкцију, чекају два такта, па крећу са приступом у меморију).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета и шеста вредности сигнала *rd*, *wr* и *ack*, редом. За вредност на магистрали података током циклуса враћања прочитаног податка из меморије ставити X.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.