



## Архитектура и организација рачунара 1 – К1

У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 64 М бајта и ширине меморијске речи 2 бајта. "Data" део кеш меморије је капацитета 64 К бајта и ширине меморијске речи 2 бајта. Пресликавање је на нивоу блокова величине 8 К бајта. Користи се *write-through* алгоритам за ажурирање садржаја оперативне меморије са *write allocated* политиком довлачења и LRU алгоритам замене.

1. (5) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити капацитете и ширине поља свих делова кеш меморије и оперативне меморије. За сваку компоненту у структурној шеми дати назив (коришћен на слици), тип компоненте (регистар, кодер, RAM, ...), колико пута се дата компонента појављује у шеми, и број улаза односно ширину дате компоненте (неке имају више параметара). Одговор дати табеларно.

Назив компоненте	Тип	Количина	Број улаза/ширина

2. (5) Разматра се како се генеришу адресе свих делова кеш меморије и оперативне меморије у свим карактеристичним ситуацијама. За сваку карактеристичну ситуацију дати назив, за сваки мултиплексер у структурној шеми назначити одакле потиче податак (део адресе) који се пропушта, за кеш меморију назначити одакле потиче сваки део из којих је састављена адреса, и за оперативну меморију назначити одакле потиче сваки део из којих је састављена адреса. Карактеристичне ситуације би биле: Читање има сагласности, читање нема сагласности има слободног места, читање нема сагласности нема слободног места, упис има сагласности, упис нема сагласности и има слободног места, и упис нема сагласности нема слободног места. Одговор дати табеларно. Уколико се у некој ситуацији на више начина приступа меморијама дати већи број редова. Назначити да ли се у датој ситуацији ажурира алгоритам замене.

Ситуација	Mux1	Mux2	Mux...	Адреса DATA дела кеш меморије	Адреса оперативне меморије	Ажурирање алгоритма замене?

3. (10) Процесор генерише следећу секвенцу адреса са типом операције назначеним у загради после сваке адресе (Rd = Read, Wr = Write): B3A001h (Rd), B3A002h (Rd), 1AA3532 (Wr), 551331h (Rd), B3B100h (Rd), 551331h (Wr), 10BCAFFh (Rd), 10BCB00 (Rd), 832800h (Wr) и 832801h (Wr). За сваки приступ меморији означити: адресу којој се приступа, тип операције (Rd – Read, Wr – Write), вредност поља Tag и Word, коментар да ли је било сагласности у кеш меморији, време које је било потребно да се дати приступ обави, као и опсег адреса у оперативној меморији којима је приступано у току извршења дате операције. Одговор дати табеларно.

Адреса	Тип	Tag	Word	Коментар	Време	Адресе

Треба претпоставити да се прво пренесе цео блок из оперативне меморије у кеш меморију и обрнуто, па се тек онда приступа локацији, и да се све операције раде секвенцијално. Приликом израчунавања времена потребног да се добије садржај узети у обзир само време утврђивања сагласности у TAG MEMORIJI ( $t_{SA}$ ), време приступа оперативној меморији ( $t_{OM}$ ), време приступа DATA MEMORIJI ( $t_{DM}$ ) и време приступа TAG MEMORIJI ( $t_{TM}$ ), занемарити времена потребна за остале активности.

Изглед TAG дела и вредности LRU бројача пре извршавања наведене секвенце дата је на слици. Сви блокови унутар кеш меморије су валидни, а вредност 7 LRU бројача представља улаз коме се најскорије приступило. Дати садржаје свих улаза TAG дела и вредност LRU бројача после сваке настале промене. Одговор дати табеларно.

U0	U1	U2	U3	U4	U5	U6	U7	C0	C1	C2	C3	C4	C5	C6	C7
B3A	31C	AAC	112	832	551	872	E10	2	1	0	3	4	5	6	7

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.