



Архитектура и организација рачунара 1 – К2

1. (15) Рачунар поседује виртуелну меморију сегментно страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 2^4 сегмената, максималне величине 1 М бајт. Сегменти су подељени на странице величине 256 бајта, тако да сегмент може да има максимално 2^{12} страница. Физички адресни простор је величине 4 G бајт и подељен је на блокове величине 256 бајта. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајта. TLB јединица је реализована са директним пресликавањем и има 16 улаза. Максималан број процеса је 16.

а) (7) Нацртати табелу сегмената, једну табелу страница и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената и табели страница, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (4) За колико пута је могуће повећати виртуелни адресни простор тако да се број блокова оперативне меморије за смештање табеле сегмената не промени (претпоставити да је величина блока и максималан број страница по сегменту остао исти)? Уколико би се узела та максимална величина нацртати шта би се све у табели сегмената, табели страница и TLB јединици променило?

в) (4) Посматрају се поља која означавају величину сегмента и права приступа. За свако од ових поља образложити зашто постоји или не постоји у TLB јединицу. Свако образложење треба да садржи одговарајући број примера захтева, дати као у задатку 2, који показују потребу или редундантност одговарајућих поља.

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем Fh генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне):

F00845 (Ex), F00846 (Ex), A028C2 (Wr), A028C3 (Wr), F15547 (Ex).

Пре почетка извршавања дате секвенце TLB је био празан, странице су се већ налазиле смештене у физичкој меморији у блоковима F00h, F01h и F02h, респективно. Величина свих сегмента у датој секвенци је 2^8 страница.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Segment, Page и Word, вредности поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, блок оперативне меморије Block и физичку адресу. Одговор дати табеларно.

3. (10) Рачунарски систем се састоји из процесора (ID 1), DMA контролера (ID 2) и оперативне меморије. Меморијске адресе су ширине 32 бита, ширина магистрале података је 8 бита, адресирање је нивоу 8 битне речи. Све инструкције и сви подаци су дужине 32 бита, подаци се у меморији смештају тако да је виши бајт на вишој адреси. Меморијски систем са преклопљеним приступом меморијским модулима, са 8 модула који покривају цео адресни простор, код кога три најнижа бита адресе одређују модул.

Претпоставити да је након иницијализације операције уписа у меморију меморијски модул заузет наредних 5 периода сигнала такта, а да је након иницијализације операције читања из меморије модул заузет 4 периоде сигнала такта и одговор даје тек у петом. Када процесор или DMA контролер и модул комуницирају, трајање циклуса на магистралама је једна периода сигнала такта.

Приликом читања и уписа 32 битних величина у оперативну меморију уколико процесор добије позитиван одговор од текућег меморијског модула ($ack=1$) одмах у наредном такту генерише следећи захтев, уколико постоји. Све инструкције које током извршавања врше приступ подацима у меморији, сам приступ започињу у четвртом такту након фазе читања инструкције (прочитају инструкцију, чекају три такта, па крећу са приступом меморији).

Приликом читања података са DMA контролера и њиховог уписа у оперативну меморију уколико DMA контролер добије позитиван одговор од текућег меморијског модула ($ack=1$) у наредном такту генерише следећи захтев, уколико постоји. Претпоставити да су сви подаци доступни DMA контролеру.

Циклус повратка прочитаног податка из меморије идентификује се тако што линије rd и wr имају активну вредност. Сви захтеви за приступ магистралама постављају се синхронно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном master-у и тај master обавља циклус на магистралама. Процесор има већи приоритет у односу на DMA контролер. Међу модулима, виши приоритет има модул са већим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико се постави захтев модулу који је заузет обрадом раније задате операције, модул одговара негативно у истом такту ($ack=0$), онда се одустаје од захтева, паузира наредна два такта, а онда понавља исти захтев.

У тренутку 1 процесор је упутио захтев за читање инструкције дужине четири бајта (32 битна величина) почев од адресе 00005670h (CPU-00005670h (STORE 00000001h)). У тренутку 3 је DMA контролер, који је иницијализован за читање 4 бајта са периферије и њихово смештање у оперативну меморију почев од адресе 12345678h, генерисао захтев за упис првог бајта у оперативну меморију (DMA-12345678h (WR)). Вредност регистра ACC процесора је 12345678h.

Приказати како теку циклуси на магистралама за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистралама, прва колона даје редни број такта, друга садржај на адресној магистралама, трећа садржај на магистралама података, а четврта, пета и шеста вредности сигнала rd , wr и ack , редом. За непознате вредности на магистралама података током циклуса уписа податка или враћања прочитаног податка из меморије ставити X.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.