



Архитектура и организација рачунара 1 – К2 надокнада

1. (15) Рачунар поседује виртуелну меморију сегментно страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 2^4 сегмената, максималне величине 2 М бајта. Сегменти су подељени на странице величине 512 бајта, тако да сегмент може да има максимално 2^{12} страница. Физички адресни простор је величине 1 М бајт и подељен је на блокове величине 512 бајта. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са директним пресликавањем и има 16 улаза. Максималан број процеса је 16.

а) (5) Нацртати табелу сегмената, једну табелу страница и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената и табели страница, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (5) Посматра се превођење виртуелне у физичку адресу и две карактеристичне ситуације:

1. постоји сагласност у TLB јединици, и
2. не постоји сагласност у TLB јединици, а постоји страница у оперативној меморији.

За карактеристичну ситуацију дати (Одговор дати табеларно):

- назив;
- за TLB јединицу (ако јој се приступа) назначити како је добијен број улаза, коју вредност има бит V, а коју бити у пољу таг, да ли се приступ ради хардверски или софтверски;
- за табелу сегмената (ако јој се приступа) назначити како је добијена адреса улаза одакле је прочитан дескриптор сегмента, као и да ли се приступ ради хардверски или софтверски;
- за табелу страница (ако јој се приступа) назначити како је добијена адреса улаза одакле је прочитан дескриптор странице и коју вредност има бит V у дескриптору странице, да ли се приступ ради хардверски или софтверски;
- за диск (ако му се приступа) назначити како је добијена адреса на диску.

Водити рачуна да за одређене ситуације може бити више редова. Приликом попуњавања табеле користити ознаке дате под а).

	TLB јединица				Табела сегмената		Табела страница			Диск	
Ситуација	Улаз	V	Таг	X/C	Адреса улаза	X/C	Адреса улаза	V	X/C	Адреса на диску	X/C

в) (5) Разматра се ситуација у којој би описани меморијски систем био повезан са кеш меморијом укупног капацитета 4КВ. Кеш меморија је реализована како физичка (реална) кеш меморија, у техници сет асоцијативног пресликавања, са четири улаза по сету. Пресликавање је на нивоу блокова величине 32 бајтова. У овом случају описати поступак пресликавања виртуелне адресе у физичку и приступ кеш меморији.

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 5h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне):

F21345 (Ex), F21346 (Ex), 37A3C2 (Wr), 454269 (Rd), F21347 (Ex).

Пре почетка извршавања дате секвенце TLB је био празан, странице су се већ налазиле смештене у физичкој меморији у блоковима 100h, 200h и 300h, респективно. За величину сегмента узети максималну вредност која се појављује у датој секвенци за дати сегмент тако да не дође до прекорачења.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Segment, Page и Word, вредности поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, блок оперативне меморије Block и физичку адресу. Одговор дати табеларно.

3. (10) Рачунарски систем се састоји из процесора, DMA контролера и оперативне меморије. Меморијске адресе су ширине 32 бита, ширина магистрале података је 8 бита, адресирање је нивоу 8 битне речи. Све инструкције и сви подаци су дужине 32 бита, подаци се у меморији смештају тако да је виши бајт на вишој адреси. Меморијски систем са преклопљеним приступом меморијским модулима, са 8 модула који покривају цео адресни простор, код кога три најнижа бита адресе одређују модул.

Претпоставити да је након иницијализације операције уписа у меморију меморијски модул заузет наредних 3 периода сигнала такта, а да је након иницијализације операције читања из меморије модул заузет 2 периоде сигнала такта и одговор даје тек у трећој. Када процесор или DMA контролер и модул комуницирају, трајање циклуса на магистрали је једна периода сигнала такта.

Приликом читања и уписа 32 битних величина у оперативну меморију уколико процесор добије позитиван одговор од текућег меморијског модула (ack=1) одмах у наредном такту генерише следећи захтев, уколико постоји. Све инструкције које током извршавања врше приступ подацима у меморији, сам приступ започињу у четвртом такту након фазе читања инструкције (прочитају инструкцију, чекају три такта, па крећу са приступом меморији).

Приликом читања података са DMA контролера и њиховог уписа у оперативну меморију уколико DMA контролер добије позитиван одговор од текућег меморијског модула (ack=1) у наредном такту генерише следећи захтев, уколико постоји. Претпоставити да су сви подаци доступни DMA контролеру.

Циклус повратка прочитаног податка из меморије идентификује се посебном линијом да која има активну вредност. Сви захтеви за приступ магистрали постављају се синхронно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном master-у и тај master обавља циклус на магистрали. Процесор има већи приоритет у односу на DMA контролер. Међу модулима, виши приоритет има модул са већим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико се постави захтев модулу који је заузет обрадом раније задате операције, модул одговара негативно у истом такту (ack=0), онда се одустаје од захтева, паузира наредна два такта, а онда понавља исти захтев.

У тренутку 1 процесор је упутио захтев за читање инструкције дужине четири бајта почев од адресе 1000h (1:CPU-0000 1000h (LOAD 1h)). У тренутку 3 је DMA контролер, који је иницијализован за читање 3 бајта са периферије и њихово смештање у оперативну меморију почев од адресе 1234 5678h, генерисао захтев за упис првог бајта у оперативну меморију (3:DMA-1234 5678h (WR)).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета, шеста и седма вредности сигнала rd, wr, ack и da, редом. За вредност на магистрали података током циклуса уписа податка или враћања прочитаног податка из меморије ставити X.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.