



Архитектура и организација рачунара 1 – К2 надокнада

1. (15) Рачунар поседује виртуелну меморију сегментне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 2^{16} сегмената, максималне величине 64 Кбајта. Физички адресни простор је величине 4 Гбајта. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем, користи LRU алгоритам замене и може да садржи делове дескриптора 128 сегмената који припадају различитим процесима. Број процеса је 16.

а) (6) Нацртати табелу сегмената и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (3) Колико простора оперативне меморије је потребно резервисати за смештање табеле сегмената једног процеса?

в) (6) Посматра се превођење виртуелне у физичку адресу и две карактеристичне ситуације:

1. постоји сагласност у TLB јединици, и
2. не постоји сагласност у TLB јединици, а постоји страница у оперативној меморији.

За карактеристичну ситуацију дати (Одговор дати табеларно):

- назив;
- за TLB јединицу (ако јој се приступа) назначити на како је добијен број улаза, коју вредност има бит V, а коју бити у пољу таг, да ли се приступ ради хардверски или софтверски;
- за табелу сегмената (ако јој се приступа) назначити како је добијена адреса улаза одакле је прочитан дескриптор сегмента и коју вредност има бит V у дескриптору сегмента, да ли се приступ ради хардверски или софтверски;
- за диск (ако му се приступа) назначити како је добијена адреса на диску.

Водити рачуна да за одређене ситуације може бити више редова. Приликом попуњавања табеле користити ознаке дате под а).

	TLB јединица				Табела сегмената			Диск	
Ситуација	Улаз	V	Таг	X/C	Адреса улаза	V	X/C	Адреса на диску	X/C

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 5h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне): 5678912h(Ex), 98765432h(Rd), 5678913h(Ex), 2ABCh(Rd) и 1DEFh(Wr). Сви сегменти се налазе у оперативној меморији, и смештени су почев од локација 500000h, 600000h и 700000h физичке меморије, респективно. Величина сваког сегмената је 40 KB, а пре дате секвенце TLB јединица је била празна.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Segment и поља Word, вредност поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, и физичку адресу којој се приступило. Одговор дати табеларно. Приказати изглед попуњених улаза TLB јединице.

3. (10) Посматра се рачунарски систем са меморијским системом са преклопљеним приступом меморијским модулима, тако да је оптимизација извршена за секвенцијални приступ процесора меморији. Величина једног меморијског модула је 256MB и постоји 32 модула. Адресибилна јединица и ширина акумулатора су по 1 бајт. Циклус повратка прочитаног податка из меморије идентификује се тако што су обе контролне линије *rd* и *wr* активне. Претпоставити да након иницијализације операције уписа у меморију меморијски модул је заузет наредне три периода сигнала такта и да је након иницијализације операције читања из меморије модул заузет две периоде сигнала такта и одговор даје тек у трећој.

Сви захтеви за приступ магистрали постављају се синхронно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном *master*-у и тај *master* обавља циклус на магистрали. Међу процесорима, виши приоритет има процесор са вишим идентификационим бројем (ID). Међу модулима, виши приоритет има модул са мањим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико процесор постави захтев модулу који је заузет обрадом раније задате операције, модул му одговара негативно у истом такту (*ack*=0), процесор одустаје од захтева, паузира 2 такта, а онда понавља исти захтев. Три процесора извршавају следеће програмске сегменте (формат заглавља је: такт:IDпроцесора, све вредности су хексадецималне):

такт 0:1 (ID процесора)	0:2	0:3
12000 SUB #5	24080 POP	38040 ADD #5
12002	24081 ...	38042 ...

Претпоставити да су вредност за процесор 2 ACC=55h и SP=100h, а да SP показује на прву заузету локацију. Инструкције се дохватају тако што се одмах након пријема једног бајта инструкције у следећем такту упућује захтев за довлачењем следећег бајта. Све инструкције које током извршавања врше приступ подацима у меморији, сам приступ започињу у трећем такту након фазе читања инструкције (прочитају инструкцију, чекају два такт, па крећу са приступом у меморију).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета и шеста вредности сигнала *rd*, *wr* и *ack*, редом. За вредност на магистрали података током циклуса враћања прочитаног податка из меморије ставити X.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.