



## Архитектура и организација рачунара 1 – К2

**1. (15)** Рачунар поседује виртуелну меморију сегментно страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има  $2^4$  сегмената, максималне величине 1 М бајта. Сегменти су подељени на странице величине 256 бајта, тако да сегмент може да има максимално  $2^{12}$  страница. Физички адресни простор је величине 1 М бајт и подељен је на блокове величине 256 бајта. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са директним пресликавањем и има 16 улаза. Максималан број процеса је 16.

**а) (6)** Нацртати табелу сегмената, једну табелу страница и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели сегмената и табели страница, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

**б) (3)** Колико блокова оперативне меморије је потребно за смештање табеле сегмената, а колико за смештање табеле страница?

**в) (3)** За колико пута је могуће повећати виртуелни адресни простор тако да се број блокова оперативне меморије за смештање табеле сегмената не промени (претпоставити да је величина блока и максималан број страница по сегменту остао исти)? Уколико би се узела та максимална величина нацртати шта би се све у табели сегмената, табели страница и TLB јединици променило?

**г) (3)** Навести у којим ситуацијама се приступа D биту у TLB јединици, која је вредност D бита у табели страница у овим ситуацијама. Претпоставити да је бит V одговарајућег улаза и у TLB јединица и у табели страница 1. Одговор дати табеларно.

	TLB јединица	D бит	Табела страница	D бит
Ситуација	Стара вредност	Нова вредност	Стара вредност	Нова вредност
	0	0		
	0	1		
	1	1		
	1	0		

**2. (5)** Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 5h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне):

E1CF78(Ex), E1CF79(Ex), 2692B1(Wr), 343159(Rd), E1CFC0(Ex).

Пре почетка извршавања дате секвенце TLB је био празан, странице су се већ налазиле смештене у физичкој меморији у блоковима 500h, 600h и 700h, респективно. За величину сегмента узети максималну вредност која се појављује у датом секвенци за дати сегмент тако да не дође до прекорачења.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Segment, Page и Word, вредности поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, блок оперативне меморије Block и физичку адресу. Одговор дати табеларно.

**3. (10)** Рачунарски систем се састоји из осам процесора и оперативне меморије. Меморијске адресе су ширине 32 бита, ширина магистрале података је 32 бита, адресирање је нивоу 32 битне речи. Претпоставити да након иницијализације операције уписа у меморију меморијски модул је заузет наредне три периоде сигнала такта и да је након иницијализације операције читања из меморије модул заузет две периоде сигнала такта и одговор даје тек у трећој. Када процесор и модул комуницирају, трајање циклуса на магистрали је једна периода сигнала такта. Меморијски систем са преклопљеним приступом меморијским модулима, са 8 модула који покривају цео адресни простор, код кога највише три бита адресе одређују модул.

**а)** Нацртати и описати који опсег адреса меморијског адресног простора је додељен ком од модула.

**б)** Циклус повратка прочитаног податка из меморије идентификује се тако што су обе контролне линије *rd* и *wr* активне. Сви захтеви за приступ магистрали постављају се синхроно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном *master*-у и тај *master* обавља циклус на магистрали. Међу процесорима, виши приоритет има процесор са већим идентификационим бројем (ID). Међу модулима, виши приоритет има модул са мањим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико се постави захтев модулу који је заузет обрадом раније задате операције, модул му одговара негативно у истом такту (*ack=0*), одустаје од захтева, паузира 2 такта, а онда понавља исти захтев. Уређају постављају захтеве за операције са меморијом на следећи начин (формат је: такт:IDУредјаја-адреса(операција)):

1:0-C0123456h(RD), 1:1-C111ABABh(RD), 2:5-258A0271(RD),  
3:2-C0006543h(WR), 3:3-22254321h(RD).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета и шеста вредности сигнала *rd*, *wr* и *ack*, редом. За вредност на магистрали података током циклуса уписа податка или враћања прочитаног податка из меморије ставити X.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.