



Архитектура и организација рачунара 1 – К1

У процесору

рачунара постоји кеш меморија реализована у техници сет асоцијативног пресликавања са четири улаза по сету. Оперативна меморија је капацитета 32 М бајта и ширине меморијске речи 2 бајт. "Data" део кеш меморије је капацитета 2 К бајта и ширине меморијске речи 2 бајт. Пресликавање је на нивоу блокова величине 32 бајтова. Користи се write-through алгоритам за ажурирање садржаја оперативне меморије са write no allocated политиком довлачења и псеудо LRU (i486) алгоритам замене.

1. (5) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити капацитете и ширине поља свих делова кеш меморије и оперативне меморије. За сваку компоненту у структурној шеми дати назив (коришћен на слици), тип компоненте (регистар, кодер, RAM, ...), колико пута се дата компонента појављује у шеми, и број улаза односно ширину дате компоненте (неке имају више параметара). Одговор дати табеларно.

Назив компоненте	Тип	Количина	Број улаза/ширина

2. (5) Разматра се како се генеришу адресе свих делова кеш меморије и оперативне меморије у свим карактеристичним ситуацијама. За сваку карактеристичну ситуацију дати назив, за сваки мултиплексер у структурној шеми назначити одакле потиче податак који се пропушта, за кеш меморију назначити одакле потиче сваки дело из којих је састављена адреса, и за оперативну меморију назначити одакле потиче сваки дело из којих је састављена адреса. Карактеристичне ситуације би биле: Читање има сагласности, читање нема сагласности има слободног места, читање нема сагласности нема слободног места, упис има сагласности, упис нема сагласности и има слободног места, и упис нема сагласности нема слободног места. Одговор дати табеларно. Уколико се у некој ситуацији на више начина приступа меморијама дати већи број редова. Назначити да ли се у датој ситуацији ажурира алгоритам замене.

Ситуација	Mux1	Mux2	Mux...	Адреса кеш меморије	Адреса оперативне меморије	Ажурирање алгоритма замене?

3. (10) Процесор генерише следећу секвенцу адреса са типом операције назначеним у загради после сваке адресе (Rd = read, Wr = write): E113A2h (Rd), E113A3h (Wr), C113A3h, (Rd), E11323h (Wr), E11345h (Rd), E11346h (Rd), 0113AFh (Rd), B02CC3h (Wr), B02CA2h (Rd), C113A8h (Wr), FF01A0h (Rd), 0113AEh (Wr). За сваки приступ меморији означити: адресу којој се приступа, тип операције (Rd – Read, Wr – Write), вредност поља Tag, Set и Word, коментар да ли је било сагласности у кеш меморији, време које је било потребно да се дати приступ обави, као и опсег адреса у оперативној меморији којима је приступано у току извршења дате операције. Одговор дати табеларно.

Адреса	Тип	Tag	Set	Word	Коментар	Време	Адресе

Треба претпоставити да се прво пренесе цео блок из оперативне меморије у кеш меморију и обрнуто, па се тек онда приступа локацији, и да се све операције раде секвенцијално. Приликом израчунавања времена потребног да се добије садржај узети у обзир само време утврђивања сагласности у TAG MEMORIJI (t_{ss}), време приступа оперативној меморији (t_{om}), време приступа DATA MEMORIJI (t_{dm}) и време приступа TAG MEMORIJI (t_{tm}), занемарити времена потребна за остале активности.

Посматра се сет број Ah. Дати садржаје свих улаза овог сета и то TAG дела и вредност LRU битова после сваке операције која реферише дати сет. Назначити како се ажурирају и шта представљају LRU битови. Одговор дати табеларно.

Tag	Улаз 0	Улаз 1	Улаз 2	Улаз 3	LRU битови

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **105 минута**.