

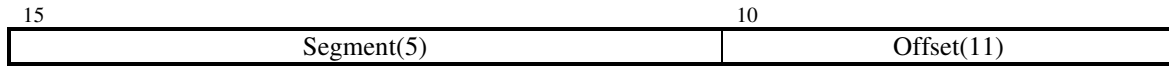
Архитектура и организација рачунара 1 јануар 2016.

Решења задатака

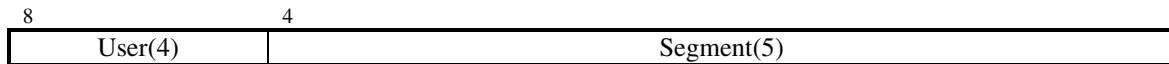
K2 - 2)

Решење:

а) Логичка структура виртуелне адресе је:



Улазни податак за TLB има структуру:



Кључ за претрагу (Tag): *User(3..0): Segment(4...0)*

Виртуелна адреса	Type	User	Segment	Offset	Tag	TLB коментар	Start	Физичка адреса
1134	Ex	5h	2	134	0A2	Miss	10000	10134
2145	Wr	5h	4	145	0A4	Miss	10200	10345
1137	Ex	5h	2	137	0A2	Hit	10000	10137
3167	Rd	5h	6	167	0A6	Miss	10400	10567
3169	Wr	5h	6	169	0A6	Hit	10400	10569

Кључеви (Tag меморија)				Информациони садржај		
Улаз	V	D	Tag	RWE (bin)	Size	Start
0	1	0	0A2	001	512B	10000
1	1	1	0A4	010	512B	10200
2	1	1	0A6	100	512B	10400
...						

3)

Приспео	Уређај	Адреса	Податак	Операција	Обрађено	ack	Нови захтеви
1	P0	00001000	00	Rd	11	0	Поново у T14
1	P1	00000100	01	Rd	10	0	Поново у T13
1	P2	00000010	X	Wr	9	1	M0 слободан у T14
1	DMA	00000001	03	Rd	1	1	M1 у T5, DMA у T2
2	DMA	00000002	03	Rd	2	1	M2 у T6, DMA у T3
3	DMA	00000003	03	Rd	3	1	M3 у T7, DMA у T4
4	DMA	00000004	03	Rd	4	1	M4 у T8
5	M1	03	X	Da	5	1	-
6	M2	03	X	Da	6	1	-
7	M3	03	X	Da	7	1	-
8	M4	03	X	Da	8	1	-
13	P1	00000100	01	Rd	13	0	Поново у T16
14	P0	00001000	00	Rd	14	1	M0 у T18
16	P1	00000100	01	Rd	16	0	Поново у T19
18	M0	00	X	Da	18	1	-
19	P1	00000100	01	Rd	19	1	M0 у T23
23	M0	01	X	Da	23	1	-

Табела захтева арбитратору

Такт	Addres Bus	Data Bus	rd	wr	ack
1	00000001	03	1	0	1
2	00000002	03	1	0	1
3	00000003	03	1	0	1
4	00000004	03	1	0	1
5	03	X	1	1	1
6	03	X	1	1	1
7	03	X	1	1	1
8	03	X	1	1	1
9	00000010	X	0	1	1
10	00000100	01	1	0	0
11	00001000	00	1	0	0
12	-	-	-	-	-
13	00000100	01	1	0	0
14	00001000	00	1	0	1
15	-	-	-	-	-
16	00000100	01	1	0	0
17	-	-	-	-	-
18	00	X	1	1	1
19	00000100	01	1	0	1
20	-	-	-	-	-
21	-	-	-	-	-
22	-	-	-	-	-
23	01	X	1	1	1

Табела садржаја на магистрали

K3 - 2) а)

Инструкција	1	2	3	4	5	6	7	8	9	10
LW R1, (R3)0	IF	ID	EX	MEM	WB					
SUB R5, R1, R2		IF	ID	Stall	EX	MEM	WB			
SW R5, (R3)8			IF	Stall	ID	EX	MEM	WB		
BEQZ R5, Exit					IF	ID	EX	MEM	WB	
ADDI R3, R3, #1						IF	ID	EX	MEM	WB
SUBI R7, R7, #1							IF	ID	EX	MEM
BNEZ R7, Loop								IF	ID	EX
ADDI R4, R1, #1									IF	ID
ADDI R5, R1, #2										IF

Инструкција	11	12	13	14	15	16	17	18	19	20
SUBI R7, R7, #1	WB									
BNEZ R7, Loop	MEM	WB								
ADDI R4, R1, #1	EX	Idle	Idle							
ADDI R5, R1, #2	ID	Idle	Idle	Idle						
ADDI R6, R1, #3	IF	Idle	Idle	Idle	Idle					
LW R1, (R3)0		IF	ID	EX	MEM	WB				
SUB R5, R1, R2			IF	ID	Stall	EX	MEM	WB		
SW R5, (R3)8				IF	Stall	ID	EX	MEM	WB	
BEQZ R5, Exit						IF	ID	EX	MEM	WB
ADDI R3, R3, #1							IF	ID	EX	MEM
SUBI R7, R7, #1								IF	ID	EX
BNEZ R7, Loop									IF	ID
ADDI R4, R1, #1										IF

Инструкција	21	22	23	24	25	26	27	28	29	30
ADDI R3, R3, #1	WB									
SUBI R7, R7, #1	MEM	WB								
BNEZ R7, Loop	EX	MEM	WB							
ADDI R4, R1, #1	ID	EX	Idle	Idle						
ADDI R5, R1, #2	IF	ID	Idle	Idle	Idle					
ADDI R6, R1, #3		IF	Idle	Idle	Idle	Idle				
LW R1, (R3)0			IF	ID	EX	MEM	WB			

R1=2h, R2=2h, R3=102h, R5=1h, R7=5h

б)

Инструкција	1	2	3	4	5	6	7	8	9	10
LW R1, (R3)0	IF	ID	EX	MEM	WB					
SUB R5, R1, R2		IF	ID	Stall	EX	MEM	WB			
SW R5, (R3)8			IF	Stall	ID	EX	MEM	WB		
BEQZ R5, Exit					IF	ID	EX	MEM	WB	
ADDI R3, R3, #1						IF	ID	EX	MEM	WB
SUBI R7, R7, #1							IF	ID	EX	MEM
BNEZ R7, Loop								IF	Stall	ID
ADDI R4, R1, #1										IF

Инструкција	11	12	13	14	15	16	17	18	19	20
SUBI R7, R7, #1	WB									
BNEZ R7, Loop	EX	MEM	WB							
ADDI R4, R1, #1	Idle	Idle	Idle	Idle						

LW R1, (R3)0	IF	ID	EX	MEM	WB					
SUB R5, R1, R2		IF	ID	Stall	EX	MEM	WB			
SW R5, (R3)8			IF	Stall	ID	EX	MEM	WB		
BEQZ R5, Exit					IF	ID	EX	MEM	WB	
ADDI R3, R3, #1						IF	ID	EX	MEM	WB
SUBI R7, R7, #1							IF	ID	EX	MEM
BNEZ R7, Loop								IF	Stall	ID
ADDI R4, R1, #1										IF

Инструкција	21	22	23	24	25	26	27	28	29	30
SUBI R7, R7, #1	WB									
BNEZ R7, Loop	EX	MEM	WB							
ADDI R4, R1, #1	Idle	Idle	Idle	Idle						
LW R1, (R3)0	IF	ID	EX	MEM	WB					