



Архитектура и организација рачунара 1 – К1

У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања са четири улаза. Оперативна меморија је капацитета 4 G бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 256 бајта и ширине меморијске речи 1 бајт. Користи се write-back алгоритам за ажурирање садржаја оперативне меморије са write allocated политиком довлачења и псеудо LRU (i486) алгоритам замене.

1. (5) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити капацитете и ширине поља свих делова кеш меморије и оперативне меморије. За сваку компоненту у структурној шеми дати назив, тип компоненте, колико пута се дата компонента појављује у шеми, и број улаза односно ширину дате компоненте. Одговор дати табеларно.

Назив компоненте	Тип	Количина	Број улаза/ширина

2. (5) Нацртати структурну шему дела кеш меморије који хардверски реализује псеудо LRU (i486) алгоритам замене. На слици приказати како се генерише улаз за замену у случају да су попуњени сви блокови кеш меморије. На слици означити капацитете и ширине поља свих делова. За сваку компоненту у структурној шеми дати назив, тип компоненте, колико пута се дата компонента појављује у шеми, и број улаза односно ширину дате компоненте. Одговор дати табеларно.

Назив компоненте	Тип	Количина	Број улаза/ширина

За дату структурну шему нацртати дијаграм по коме се ажурира стање хардвера у случају када се открије сагласност и у случају када сагласност није откривена. Одговоре дати у виду дијаграма.

За дату структурну шему нацртати дијаграм који описује како се на основу стања хардвера за реализацију псеудо LRU алгоритма замене утврђује улаз кеш меморије за који се врши замена блока. Одговор дати у виду дијаграма.

3. (10) Процесор генерише следећу секвенцу адреса са типом операције назначеним у загради после сваке адресе (Rd = read, Wr = write): 80C0AA20h (Rd), 40C0AA20h (Wr), 20C0AA20h, (Rd), 80C0AA25h (Wr), 10C0AA20h (Wr), 20C0AA3Ah (Wr), 80C0AA21h (Rd), 08C0AA20h (Rd), 04C0AA20h (Rd), 20C0AA30h (Wr). За сваки приступ меморији означити: адресу којој се приступа, тип операције (Rd – Read, Wr – Write), вредност поља Tag и Word, коментар да ли је било сагласности у кеш меморији, време које је било потребно да се дати приступ обави, као и опсег адреса у оперативној меморији којима је приступано у току извршења дате операције. Одговор дати табеларно.

Адреса	Тип	Tag	Word	Коментар	Време	Адресе

Треба претпоставити да се прво пренесе цео блок из оперативне меморије у кеш меморију и обрнуто, па се тек онда приступа локацији, и да се све операције раде секвенцијално. Приликом израчунавања времена потребног да се добије садржај узети у обзир само време утврђивања сагласности у TAG MEMORIJI (t_{SA}), време приступа оперативној меморији (t_{OM}), време приступа DATA MEMORIJI (t_{DM}) и време приступа TAG MEMORIJI (t_{TM}), занемарити времена потребна за остале активности.

Дати садржај свих улаза кеш меморије који су реферисани у датој секвенци, садржаје TAG дела, вредности V (Valid) и D (Dirty) бита, као и вредности псеудо LRU бројача после завршетка дате секвенце.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.