



Архитектура и организација рачунара 1 – К2

1. (15) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 4 GB и подељен је на странице величине 256 KB. Физички адресни простор је величине 1 GB и подељен је на блокове величине 256 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са директним пресликавањем, има 16 улаза. Број процеса је 16.

а) (6) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља. Усвојити такве величине улаза у табели страница, тако да претварање бројева улаза у помераје може да се реализује померањем бројева улаза улево за одређени број места.

б) (9) Посматра се превођење виртуелне у физичку адресу. За сваку карактеристичну ситуацију дати:

- назив;
- за TLB јединицу (ако јој се приступа) назначити на основу чега је добијен број улаза, коју вредност има бит V, а коју бити у пољу таг, да ли се приступ ради хардверски или софтверски;
- за табелу страница (ако јој се приступа) назначити како је добијена адреса улаза одакле је прочитан дескриптор странице и коју вредност има бит V у дескриптору странице, да ли се приступ ради хардверски или софтверски;
- за диск (ако му се приступа) назначити како је добијена адреса на диску.

Карактеристичне ситуације би биле:

1. постоји сагласност у TLB јединици,
2. не постоји сагласност у TLB јединици, а постоји страница у оперативној меморији, и
3. не постоји сагласност у TLB јединици нити је страница у оперативној меморији.

Одговор дати табеларно.

	TLB јединица				Табела страница			Диск	
Ситуација	Улаз	V	Таг	X/C	Адреса улаза	V	X/C	Адреса на диску	X/C

2. (5) Посматра се виртуелна меморија и TLB јединица из претходног задатка. Кориснички програм са бројем 7h генерише следећу секвенцу виртуелних адреса (све вредности су хексадецималне): 11123456h(Ex), 20001000h(Rd), 11123457h(Ex), 20001001h(Rd) и 20001002h(Wr). Пре почетка извршавања секвенце ниједна од страница датог корисника није у оперативној меморији. Кориснику су на располагању блокови оперативне меморије почев од блока 100h па надаље, који се попуњавају редом. Пре дате секвенце TLB јединица је била празна. Претпоставити да се приликом промене контекста садржај TLB јединице неће променити.

За сваки приступ меморији означити: виртуелну адресу којој се приступа, тип операције, идентификацију корисника, вредност поља Page и поља Word, вредност поља Tag и Entry у TLB јединици, коментар да ли је било сагласности у TLB јединици, блок оперативне меморије у коме је смештена дата страница и физичку адресу којој се приступило. Одговор дати табеларно.

3. (10) Рачунарски систем се састоји из четири процесора и оперативне меморије. Меморијске адресе су ширине 32 бита, ширина магистрале података је 32 бита, адресирање је на нивоу 32 битне речи. Претпоставити да је након иницијализације операције уписа у меморију меморијски модул заузет наредне три периоде сигнала такта и да је након иницијализације операције читања из меморије модул заузет три периоде сигнала такта и одговор даје тек у четвртој. Меморијски систем је са преклопљеним приступом меморијским модулима, са 16 модула који покривају цео адресни простор, код кога највиша четири бита адресе одређују модул.

а) Нацртати и описати који опсег адреса меморијског адресног простора је додељен ком од модула.

б) Циклус повратка прочитаног податка из меморије идентификује се тако што су обе контролне линије *rd* и *wr* активне. Сви захтеви за приступ магистрали постављају се синхронно, на исти сигнал такта. Арбитрација се обавља комбинационо, тако да се у истом такту арбитражују сви захтеви постављени на тај сигнал такта (или раније), даје дозвола једном *master*-у и тај *master* обавља циклус на магистрали. Међу процесорима, виши приоритет има процесор са већим идентификационим бројем (ID). Међу модулима, виши приоритет има модул са мањим бројем. Циклус враћања прочитаног податка из меморије има највиши приоритет. Уколико се постави захтев модулу који је заузет обрадом раније задате операције, модул му одговара негативно у истом такту (*ack=0*), уређај одустаје од захтева, паузира 2 такта, а онда понавља исти захтев. Уређаји постављају захтеве за операције са меморијом на следећи начин (формат је: такт:IDУређаја-адреса(операција)):

1:0-00002000h(RD), 1:1-00003000h(RD), 1:2-00004000h(WR), 1:3-00005000h(RD).

Приказати како теку циклуси на магистрали за ову секвенцу. Приказ дати табеларно, тако да се по редовима табеле наводе циклуси на магистрали, прва колона даје редни број такта, друга садржај на адресној магистрали, трећа садржај на магистрали података, а четврта, пета и шеста вредности сигнала *rd*, *wr* и *ack*, редом. За вредност на магистрали података током циклуса уписа податка или враћања прочитаног податка из меморије ставити X.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје **90 минута**.