

Предмет: Архитектура и организација рачунара 1
Вежба: Преклапање приступа меморијским модулима
Група: 0
Датум и време:
Име и презиме:
Број индекса:
1. Оперативна меморија се састоји од осам меморијских модула, а капацитет модула је 128 КВ. Ширина речи оперативне меморије је 1 бајт. Најмлађи бит адресе означен је са A_0 . Уколико се број модула бира на основу бита A_{19} A_{18} A_{17} првих 5 адреса у модулу број 0 су:
a) 0, 1, 2, 3, 4
b) 0, 8, 16, 24, 32
c) 0, 1, 32, 33, 128
d) Ниједан од понуђених одговора није тачан
2. Процесор је двоадресни. Адресе су ширине 16 бита, а адресирање је на нивоу 16-битних речи. Процесор поседује регистре за податке $D3...0$ и адресне регистре $A3...0$. Једини начин адресирања је регистарско индиректно, преко адресних регистара. Пројектује се меморијски систем са преклапањем приступа модулима. Када процесор и модул комуницирају, трајање циклуса на магистрали је 15 ns. Време које је потребно модулу да опслужи захтев након пријема (трајање једног читања или уписа) је 100 ns. Модули се организују тако да се приступ оптимизује за секвенцијално обраћање меморији. Колико је модула потребно за оптималан рад овог система?
a) 8
b) 7
c) 16
d) Ниједан од понуђених одговора није тачан
3. За описани процесор који је једини иницијатор операција са меморијом у систему, пројектује се меморијски систем са преклопљеним приступом меморијским модулима, тако да се оптимизује секвенцијални приступ до векторских података у меморији. Сваки циклус на магистрали траје тачно 4 такта (укључујући и арбитражију). Време одзива меморије, од завршетка циклуса иницирања операције читања, до почетка циклуса враћања очитаног податка је 16 тактова. Број модула је 4. Виши приоритет имају циклуси враћања податка из меморије. Колико периода такта траје операција читања вектора дужине 64 из меморије, под претпоставком да процесор може да прихвати све очитане податке и иницира узастопно операције читања, без празног хода?
a) 576
b) 1024
c) 128
d) Ниједан од понуђених одговора није тачан