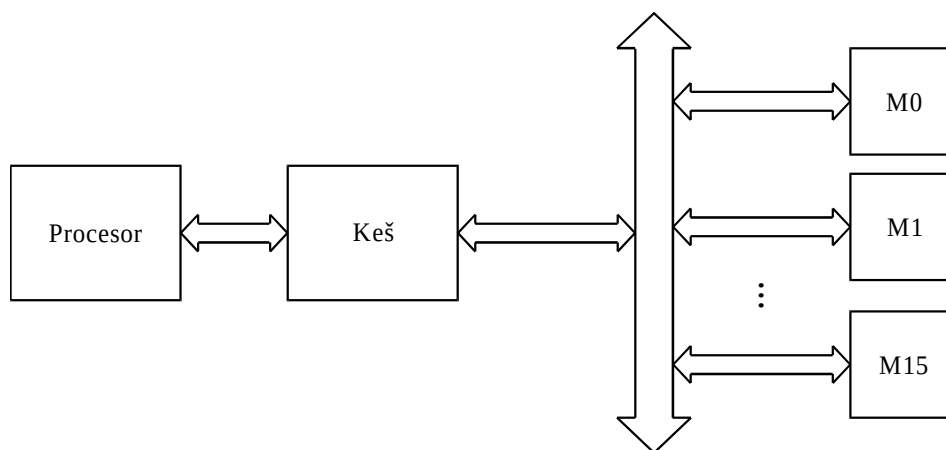


ВЕЖБА IV-1: ПРЕКЛАПАЊЕ ПРИСТУПА МЕМОРИЈСКИМ МОДУЛИМА

У овој вежби биће дефинисане три различите конфигурације рачунарског система који има преклопљен приступ меморијским модулима. У сва три случаја кашњење RAM модула је 4 такт циклуса, а у систему постоји 16 меморијских модула капацитета по 2^{20} речи ширине 32 бита. Веза модула и иницијатора је увек преко синхроне магистрале чији су циклуси раније описани. Претпоставља се да су сви меморијски модули на почетку слободни, и да чекање иницијатора у случају да меморијски модул не може да прихвати захтев износи 0 тактова. На почетку, највећи приоритет код меморијских модула има MM0, а код иницијатора иницијатор 0, и тако даље растућим редоследом.

ВЕЖБА IV-1-1: КОНФИГУРАЦИЈА СА ЈЕДНИМ ИНИЦИЈАТОРОМ И БЛОКОВСКИМ ПРИСТУПОМ

Покренути симулатор меморијског система са преклопљеним модулима са једним иницијатором и блоковским приступом учитавањем фајла „PMM-blokovski pristup.vse“. Ова конфигурација садржи један процесор, кеш меморију везану између процесора и магистрале и оперативну меморију са 16 меморијских модула. Кеш је организован блоковски, са дужином блока од осам речи. Меморијски модули организовани су тако да се суседне адресе налазе у различитим модулима, па се модул адресира помоћу бита 3:0 адресе меморијске речи. Ова конфигурација треба да покаже деловање технике преклопљеног приступа меморијским модулима у условима када систем има једног иницијатора са блоковским приступом. Систем је приказан на слици IV-1-1.



Слика IV-1-1

Иницијатор захтева је кеш меморија, која шаље као идентификацију (ID) преко магистрале података у случају читања број једнак редном броју речи унутар блока. Поред тога, пошто кеш меморија ради у блоковском режиму, она не укида захтев за приступ магистрали BRQ све док не обави иницијализацију свих осам читања (осим ако се не догоди неки од раније описаних специјалних случајева).

У следећој табели дати су временски тренутци, у циклусима сигнала такта, почев од тренутка када се сигнал дозволе BG поставља на 1 (овај тренутак је означен као 0), у којима кеш меморија издаје захтеве за читање речи са датих адреса (хексадецимално).

Тренутак	1	3	5	7	8	11	13	15
Адреса	43000	43001	43002	43003	43004	43005	43006	43007

Задаци:

1. Попунити таблицу која има врсте означене временским тренуцима (у циклусима сигнала такта) од 0 до тренутка појављивања ENDRAM сигнала у модулу M1, и колоне које представљају вредности следећих сигнала у модулу M1 и на магистрали: BRQ₁, BG₁, Адресна магистрала, Магистрала података, RD, DA, ACK, EQ, ldDOR, OEN, и вредности AR, DIR и DOR регистра.

Такт	BRQ ₁	BG ₁	Addres Bus	Data Bus	rd	da	ack	eq	ldDOR	OEN	AR	DIR	DOR

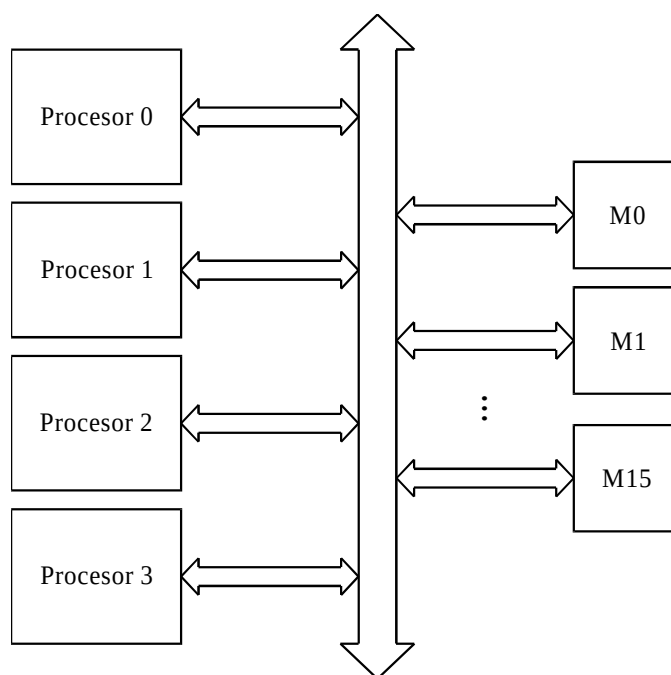
2. Попунити таблицу која има врсте означене временским тренуцима (у циклусима сигнала такта) од 0 до краја свих задатих операција, и колоне које представљају следеће вредности: ко је *master* магистрале у том тренутку, ко је *slave* у том тренутку, Адресна магистрала, Магистрала података, RD, WR, DA, ACK.

Такт	Master	Slave	Addres Bus	Data Bus	rd	wr	da	ack

3. Колико је укупно време (у такт интервалима) читања осам података из меморије? Проценити колико би износило то време да нема преклапања приступа меморијским модулима.

ВЕЖБА IV-1-2: КОНФИГУРАЦИЈА СА ВИШЕ ИНИЦИЈАТОРА И ПОЈЕДИНАЧНИМ ПРИСТУПОМ

Покренути симулатор меморијског система са преклопљеним модулима са једним иницијатором и блоковским приступом учитавањем фајла „PMM-pojedinasni pristup.vse“. Ова конфигурација садржи четири процесора и оперативну меморију са 16 меморијских модула. Процесори приступају меморији тако што дохватају или уписују по једну реч, сасвим произвољно. Ипак, постоји особина локалности приступа сваког процесора, која се огледа у томе да сваки процесор највише приступа својим приватним подацима који су смештени у неком делу меморије, иако понекад приступа и другим деловима. С обзиром на ову локалност, меморијски модули су организовани тако да се суседне адресе налазе у истом модулу, па се модул адресира помоћу бита 19:16 адресе меморијске речи. Ова конфигурација треба да покаже деловање технике преклопљеног приступа меморијским модулима у условима када систем има више иницијатора са појединачним приступом. Идентификацију процесора (ID) чини редни број процесора, од 0 до 3. Систем је приказан на слици IV-1-2.



Слика IV-1-2

У следећој табели дати су временски тренутци, у циклусима сигнала такта, у којима процесори издају захтеве (BRQ постаје 1) за читање или упис речи са дате адресе (хексадецимално).

Тренутак	1	3	8	12	50	56	60	64
Процесор	0	1	3	2	1	0	2	0
Адреса	1071A	20E39	63A10	552F4	0270B	14077	44E39	14077
RD/WR	RD	WR	RD	RD	RD	WR	RD	WR

Задаци:

1. Попунити таблицу која има врсте означене временским тренутцима (у циклусима сигнала такта) од 0 до краја свих задатих операција, и колоне које представљају следеће вредности: ко је *master* магистрале у том тренутку, ко је *slave* у том тренутку, Адресна магистрала, Магистрала података, RD, WR, DA, ACK. Навести само оне врсте у којима долази до промене вредности неке колоне.

Такт	Master	Slave	Addres Bus	Data Bus	rd	wr	da	ack

2. Попунити таблицу која има врсте означене временским тренуцима (у циклусима сигнала такта) од 0 до краја свих задатих операција, и колоне које представљају следеће вредности: ко је тражио излазак на магистралу, шта треба да постави на адресну магистралу, шта треба да постави на магистралу података, када је обрађен дати захтев. Навести само оне врсте у којима долази до промене вредности неке колоне.

Приспео	Уређај	Адреса	Податак	Операција	Обрађено

ВЕЖБА IV-2: ВИРТУЕЛНА МЕМОРИЈА СТРАНИЧНЕ ОРГАНИЗАЦИЈЕ СА ЈЕДИНИЦОМ ЗА СЕТ-АСОЦИЈАТИВНО ПРЕСЛИКАВАЊЕ

Следеће операције се извршавају у рачунарском систему са виртуелном меморијом са јединицом за асоцијативно пресликавање:

Процес P2 генерише виртуелну адресу 0x000358 ради читања, чекање 8 такта
Процес P2 генерише виртуелну адресу 0x000622 ради читања, чекање 3 такта
Процес P7 генерише виртуелну адресу 0x0009F7 ради уписа, чекање 11 такта
Процес P7 генерише виртуелну адресу 0x0007AC ради читања, чекање 5 такта
Процес P2 генерише виртуелну адресу 0x000AB0 ради читања, чекање 19 такта
Процес P4 генерише виртуелну адресу 0x000154 ради читања, чекање 16 такта
Процес P2 генерише виртуелну адресу 0x0002AC ради уписа, чекање 9 такта
Процес P7 генерише виртуелну адресу 0x000775 ради читања, чекање 6 такта
Процес P7 генерише виртуелну адресу 0x00088A ради уписа, чекање 23 такта
Процес P1 генерише виртуелну адресу 0x00072B ради читања, чекање 2 такта
Процес P7 генерише виртуелну адресу 0x400276 ради уписа

1. Покренути симулатор виртуелне меморије страничне организације са јединицом за директно пресликавање учитавањем фајла „SET-ASOCIJATIVNA.vse“. Покренути симулацију за један такт унапред. Које се вредности налазе на излазним линијама PVA, PPR, PPT, PRW и PRQ процесора CPU? Објаснити значење које садржај на овим излазним линијама има. Који је број странице виртуелне адресе? Да ли је процесор задао захтев за пресликавање виртуелне у реалну адресу?
2. У такту 7 која излазна линија процесора CPU има активну вредност и шта она означава?
3. Покренути симулацију такт-по-такт до такта 11. Коју вредност има сигнал T6 управљачке јединице TLB јединице и зашто?
4. Покренути симулацију такт-по-такт до такта 14 и посматрати бројач MEMACC у блоку бројачи TLB јединице. Од које вредности почиње да се врши одбројавање и због чега? Коју вредност има сигнал MEMFC у такту 14? Шта он представља?
5. Покренути симулацију један такт унапред. Која се вредност налази у регистру MDR блока *mem_interfejs* TLB јединице? Са које адресе је дата вредност прочитана и шта она представља? Коју вредност има сигнал GR и због чега има баш ту вредност?
6. Покренути симулацију један такт унапред. Која је вредност уписана у регистар MAR блока *mem_interfejs* TLB јединице и због чега је уписана баш та вредност? О ком се броју улаза табеле страница ради и ког процеса?
7. Покретати симулацију такт-по-такт. У ком такту, у који улаз и који сет датог улаза се уписује информација неопходна за пресликавање виртуелне адресе у реалну? Која се вредност налази на локацији TAGDATA меморије коресподентној датом улазу и сету? Објаснити дату вредност.
8. Покретати симулацију такт-по-такт до такта 22. Које вредности имају излазни сигнали URP, UPA, UAV и UPF и које је њихово значење? Са из ког блока је прочитана вредност која се враћа процесору у виду физичке адресе? Због чега ови сигнали имају баш ове вредности? У који број блока је страница пресликана?
9. Покретати симулацију такт-по-такт до такта 24. Које су вредности регистара нултог улаза TAB меморије процесора CPU? Због чега се у датом улазу налазе баш ове вредности?
10. Покретати симулацију такт-по-такт до такта 35. Процесор задаје захтев за пресликавање виртуелне адресе. Која је адреса и број процеса у питању? Да ли се

- ради о операцији уписа или читања? Која је адреса почетка табеле страница датог процеса? Коју вредност има сигнал **HIT** блока *tag_data*? Због чега?
11. Покретати симулацију такт-по-такт до такта 47. Која је адреса коју враћа јединица за пресликавање. Због чега је враћена баш та адреса? У који сет и улаз јединице за пресликавање су смештене информације неопходне за пресликавање виртуелне у реалну адресу? Који је садржај датог сета и улаза блока *tag_data* и зашто?
 12. Покретати симулацију такт-по-такт до такта 54. Које се вредности налазе на излазним линијама PVA, PPR, PPT, PRW и PRQ процесора CPU? Који је број странице генерисане виртуелне адресе? Да ли се ради о упису или читању из дате странице?
 13. Покренути симулацију један такт унапред. Која је вредност сигнала **HIT** блока *tag_data*?
 14. Покретати симулацију такт-по-такт до такта 60. Која се вредност налази у регистру MDR блока *mem_interfejs* TLB јединице? Са које адресе је дата вредност прочитана и шта она представља? Коју вредност има сигнал **GR** и због чега има баш ту вредност?
 15. Покретати симулацију такт-по-такт до такта 65. Која се вредност налази у регистру MDR блока *mem_interfejs* TLB јединице? Са које адресе је дата вредност прочитана и шта она представља? Коју вредност има сигнал **valid**, шта он представља и због чега има дату вредност?
 16. Покренути симулацију један такт унапред. У ком сету и ком улазу датог сета је постављен бит **V**? Шта је са коресподентним битом **D** и коресподентним садржајем TAGDATA меморије?
 17. Покретати симулацију такт-по-такт до такта 77 (фокусирати се на блок *mem_interfejs*). Која се вредност налази у меморијској локацији на адреси 0x30006 и због чега се баш ова вредност налази на тој адреси? Који бит **D** ког сета и ког улаза у дати сет је сетован приликом опслуживања захтева за пресликавање тренутне виртуелне адресе?
 18. Покретати симулацију такт-по-такт до такта 126. У неколико прошлих тактова процесор је задао захтев за пресликавање две виртуелне адресе. Које су адресе у питању и у које су физичке адресе пресликане? За сваку од адреса написати број сета и број улаза у сету у коме се налазе информације релевантне за пресликавање виртуелне адресе у реалну у јединици за пресликавање.
 19. Покретати симулацију такт-по-такт до такта 149. Које се вредности налазе на излазним линијама PVA, PPR, PPT, PRW и PRQ процесора CPU? Који је број странице генерисане виртуелне адресе? Да ли се ради о упису или читању из дате странице? Да ли се ради о броју странице која постоји за дати процес (погледати у меморији)?
 20. Покренути симулацију један такт унапред. Која је вредност сигнала **HIT** блока *tag_data*? Због чега овај сигнал има дату вредност?
 21. Покретати симулацију такт-по-такт до такта 160. Која се вредност налази у регистру MDR блока *mem_interfejs* TLB јединице? Са које адресе је дата вредност прочитана и шта она представља? Коју вредност има сигнал **valid** и због чега има баш ту вредност? Коју информацију јединица за пресликавање враћа процесору? Да ли је пресликавање успешно реализовано? Због чега?
 22. Покретати симулацију такт-по-такт до такта 181. Који је број странице виртуелне адресе чије је пресликавање задато? Која је вредност сигнала **HIT** блока *tag_data*? Због чега?
 23. Покретати симулацију такт-по-такт до такта 187. Који бит **D** (који сет и који улаз датог сета) ће у наредном такту добити активну вредност и због чега?

24. Покретати симулацију такт-по-такт до такта 192. Која се вредност налази у меморији на адреси 0x60002 и због чега се баш дата вредност налази на датој адреси?
25. Покретати симулацију такт-по-такт до такта 204. Процесор задаје захтев за пресликавање виртуелне у реалну адресу. О којој се виртуелној адреси и броју странице дате виртуелне адресе ради?
26. Покретати симулацију такт-по-такт. Након колико тактова јединица за пресликавање одговара процесору? Да ли је пресликавање успешно реализовано и због чега?
27. Покретати симулацију такт-по-такт до такта 216. Које се вредности налазе на излазним линијама PVA, PPR, PPT, PRW и PRQ процесора CPU? Који је број странице генерисане виртуелне адресе? Да ли се ради о упису или читању из дате странице? Да ли се информације неопходне за пресликавање виртуелне у реалну адресу налазе у јединици за пресликавање?
28. Покретати симулацију такт-по-такт до такта 218 и пратити промене сигнала у јединици за пресликавање (пре свега сигнала **HIT**, **V** и **D** бита). Да ли је јединица за пресликавање читавала или уписивала неки садржај у меморију? Због чега?
29. Покретати симулацију такт-по-такт до такта 243. Које се вредности налазе на излазним линијама PVA, PPR, PPT, PRW и PRQ процесора CPU? Који је број странице генерисане виртуелне адресе?
30. Покренути симулацију један такт унапред. Која је вредност сигнала **HIT** блока *tag_data*? Да ли постоји слободан улаз у јединици за пресликавање у које би се, уколико има потребе за тим, уписале неопходне информације?
31. Покретати симулацију такт-по-такт до такта 254. Коју вредност има сигнал **FC_1** и због чега има дату вредност? На основу тога објаснити у који се сет и који улаз датог сета врши уписивање информација неопходних за пресликавање. Која је вредност која се налази у коресподентном улазу и сету *tag_data* меморије?
32. Покренути симулацију један такт унапред. Која се вредност сада налази у улазу и сету из прошлог питања? Због чега?

Формат табеле страница једног процеса:

	15	14	13	...	4	3	...	0			
PT+0			5						}	ulaz 0	broj stranica
PT+1											
PT+2	V	D	broj bloka				adresa		}	ulaz 1	stranica 0
PT+3	stranice na disku										
PT+4	V	D	broj bloka				adresa		}	ulaz 2	stranica 1
PT+5	stranice na disku										
PT+6	V	D	broj bloka				adresa		}	ulaz 3	stranica 2
PT+7	stranice na disku										
PT+8	V	D	broj bloka				adresa		}	ulaz 4	stranica 3
PT+9	stranice na disku										
PT+10	V	D	broj bloka				adresa		}	ulaz 5	stranica 4
PT+11	stranice na disku										

Лаб – сет-асоцијативна:

PTP=0x60000

0	0x0004			
	0x0000			
1	1	0	0101010101	0xC
	0xF000			
2	1	0	0100010001	0xC
	0x0A00			
3	1	0	0100100101	0xA
	0xBA01			
4	1	0	0100010101	0x2
	0xDE4C			

Табела страница процеса P2

PTP=0x30000

0	0x0004			
	0x0000			
1	1	0	1010101000	0x3
	0xACBA			
2	1	0	1000110110	0x5
	0xA503			
3	1	0	1010101010	0xC
	0xBE00			
4	1	0	1010111111	0x3
	0x1984			

Табела страница процеса P7

PTP=0xB0000

0	0x0003			
	0x0000			
1	0	0	1101001111	0x2

			0x002E	
2	0	0	1100110100	0x0
			0xBA0F	
3	0	0	1100110011	0xA
			0xFA88	

Табела страница процеса P4

PTP=0x20000

			0x0001	
0			0x0000	
	1	0	1111011010	0x4
1			0x5E29	
	1	0	0001110111	0x4
			0x9803	

Табела страница процеса P1