



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 3 је Enable којим се дозвољава прекид, а у статусним регистрима бит 5 је Ready који сигнализира спремност контролера. Бит 4 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 100h. Након читавања низа A формира се низ B, који почиње од адресе 200h у меморији, на следећи начин: $B(i) = A(i) + B(i)$ (i=0...FFh). На крају се низ B упоредо шаље на периферије PER0, PER1 и PER2. Пријем са PER0 реализовати испитивањем бита спремности, слање низа B на PER0 реализовати испитивањем бита спремности, слање низа B на PER1 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, слање низа B на PER2 реализовати коришћењем механизма прекида.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор има 4 GB и подељен је на странице величине 256 KB. Физички адресни простор је величине 1 GB и подељен је на блокове величине 256 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу уколико у TLB јединици не постоји дескриптор странице, а страница се налази у оперативној меморији. Назначити шта се од тога ради хардверски, а шта софтверски.

(5) Која вредност треба да се нађе у одговарајућем улазу у табели страница уколико се виртуелна адреса 11123457h пресликава у физичку адресу 04023457h.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 64KB, адресбилна јединица је 16-битна реч. Подаци су целобројне величине са знаком представљени у другом комплементу дужине 16 бита. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 0000h. Процесор има две улазне линије IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 1, 4 и 5 у IV табели, респективно. Улаз 6 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1000h, 100Ah, 1006h и 1011h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се хардверски постављају на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је дужине 16 бита, као и регистар PSW. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQM1, у току 2. по линији IRQM2, а у току 4. по линији IRQN. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	LOAD #0003h
0103h	INTE
0104h	INCA
0105h	INCA
0106h	STORE #1001h
0109h	INTD

Слика 2

Адреса	Наредба
1000h	PUSHA
1001h	ADD #0100h
1004h	POPA
1005h	RTI
1006h	INTE
1007h	INCA
1008h	DECA
1009h	RTI

Слика 3

Адреса	Садржај
0000h	0FFFh
0001h	1000h
0002h	1001h
0003h	1002h

а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део програма којим се инцијализују улази 1, 4 и 5 у IV табели.

в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

г) (3) Која ће се вредност налазити на локацији 0100h након извршења секвенце под в)?

2. (5) Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистралама. Нацртати структуру арбитража за случај паралелне арбитраже и повезати ове модуле на арбитраж водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.