



Организација рачунара – КЗ

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 6 одређује смер операције (1-улаз, 0-излаз), бит 8 је Enable којим се дозвољава прекид, а у статусним регистрима бит 8 је Ready који сигнализира спремност контролера. Бит 1 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 0100h, низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 0200h и низа C(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 0300h. Након читавања низова A, B и C врши се формирање низа D, који почиње од адресе 0400h у меморији, на следећи начин: $D(i) = (A(i) + B(i)) + C(i)$ (i=0...FFh). На крају се резултујући низ шаље на периферију PER0. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER1 реализовати коришћењем механизма прекида, пријем са PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, а слање на PER0 испитивањем бита спремности.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 GB и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 32 KB и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 256 B. Сваки одговор посебно означити. Не користити опште бројеве већ конкретне. Ставке унутар одговара на појединачна потпитања дати таксативно једну испод друге.

1. Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

2. Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

3. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

4. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 128KB, адресибилна јединица је 16-битна реч. Подаци су целобројне величине са знаком представљени у другом комплементу дужине 16 бита. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 0000h. Процесор има две улазне линије IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM1 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 4, 5 и 7 у IV табели, респективно. Улаз 0 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 2000h, 200Bh, 2012h и 2006h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap Enable*), који се хардверски постављају на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 4. по линији IRQN, а у току 5. по линији IRQM2. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	LOAD 0h
0103h	INTE
0104h	ADD #8h
0107h	DECA
0108h	STORE 10h
010Bh	INTD

Слика 2

Адреса	Наредба
2000h	INCA
2001h	SUB #1h
2004h	DECA
2005h	RTI
2006h	POPA
2007h	INCA
2008h	INCA
2009h	PUSHA

Слика 3

Адреса	Садржај
0000h	2006h
0001h	1012h
0002h	0000h
0003h	1000h
0004h	2000h
0005h	200Bh

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се инцијализују улази 4, 5 и 7 у IVT.
- в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (3) Која ће се вредност налазити на локацији 0010h након извршења секвенце под в)?

2. (5) Посматра се рачунар код кога су улазно/излазни и меморијски адресни простор раздвојени. На магистрали постоји сигнал који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно.

Меморијски адресни простор је 16М адреса, при чему је ширина адресибилне локације 16 бита. Нижих 14М адреса меморијског адресног простора је резервисано за RAM меморију, а виших 2М адреса меморијског адресног простора је резервисано за ROM меморију. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само нижих 8М адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само виших 512К адреса.

Улазно/излазни адресни простор је 1024 адреса, при чему је ширина адресибилне локације 16 бита.

- а) Назначити опсег адреса у адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за контролере периферија, опсег адреса попуњен RAM меморијом, опсег адреса попуњен ROM меморијом. Резултат представити табеларно.
- б) Реализовати модул RAM меморије који попуњава само најнижих 8М адреса опсега адреса резервисаног за RAM меморију користећи чипове 512Кx4 бита (управљачки улази су RD, WR и CS).