



Организација рачунара – КЗ

1.(20) Једноадресни процесор са меморијски мапираним улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 2 је Start којим се дозвољава почетак операције, бит 8 одређује смер операције (0-улаз, 1-излаз), бит 0 је Enable којим се дозвољава прекид, а у статусним регистрима бит 6 је Ready који сигнализира спремност контролера. Бит 3 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 1100h. Након читавања низова A и B формира се низ C, који почиње од адресе 1200h у меморији и низ D, који почиње од адресе 1300h у меморији, на следећи начин: C(i) = A(i) - B(i) (i=0...FFh), D(i) = B(i) - A(i) (i=0...FFh). На крају се упоредо врши слање низа C на периферију PER1 и низа D на периферију PER2. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER1 реализовати коришћењем механизма прекида, слање низа C на PER1 реализовати испитивањем бита спремности, а слање низа D на PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 8 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 256 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити функцију свих делова кеш меморије, као и значење свих поља једног улаза кеш меморије. Објаснити ко и када поставља и користи свако од поља улаза кеш меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) На примеру адресе 00001234h објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је кеш меморија била празна. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену који има вредност 0.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела има 8 фиксних улаза и почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 00000000h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде, при чему спољни немаскирајући прекиди имају виши приоритет од спољних маскирајућих прекида. Њима су придружени улази 3, 4 и 5 у IV табели, респективно. Улаз 1 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 00001105h, 0000110Ah, 00001103h и 00001100h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоји бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама, а SP показује на прву слободну локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 00000100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 5. по линији IRQN, а у току 6. по линији IRQM0. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
00000100h	INTE
00000101h	LOAD 2h
00000103h	INCA
00000104h	STORE 12h
00000106h	INTD

Слика 2

Адреса	Наредба
00001100h	INCA
00001101h	RTI
00001102h	RTI
00001103h	DECA
00001104h	RTI
00001105h	POPA
00001106h	INCA
00001107h	INCA

Слика 3

Адреса	Садржај
00000000h	0000110Fh
00000001h	00001100h
00000002h	00001105h
00000003h	00001105h
00000004h	0000110Ah
00000005h	00001103h

- а) (3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) (3) Написати део програма којим се инцијализују улази 3, 4 и 5 у вектор табели.
- в) (6) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 00000100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (3) Која ће се вредност налазити на локацији 12h након извршења секвенце под в)?

2. (5) Посматра се рачунар код кога су улазно/излазни и меморијски адресни простор раздвојени. На магистрала постоји сигнал $\overline{M/IO}$ који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно.

Меморијски адресни простор је 16М адреса, при чему је ширина адресибилне локације 16 бита. Нижих 14М адреса меморијског адресног простора је резервисано за RAM меморију, а виших 2М адреса меморијског адресног простора је резервисано за ROM меморију. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само нижих 8М адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само виших 512К адреса.

Улазно/излазни адресни простор је 1024 адреса, при чему је ширина адресибилне локације 16 бита.

а) Назначити опсег адреса у адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за контролере периферија, опсег адреса попуњен RAM меморијом, опсег адреса попуњен ROM меморијом. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само најнижих 8М адреса опсега адреса резервисаног за RAM меморију користећи чипове 512Кx4 бита (управљачки улази су RD, WR и CS).