



## Организација рачунара – И

**1.(20)** Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (0-улаз, 1-излаз), бит 4 је Enable којим се дозвољава прекид. У статусним регистрима периферија PER0, PER1 и PER2 бит 5 је Ready који сигнализира спремност контролера, а у статусном регистру DMA контролера бит 5 је Ready који сигнализира крај преноса. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши учитавање низа A(i) (i=0...FFFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0...FFFh) са PER1 у меморијски блок почев од адресе 2000h. Након учитавања ових низова врши се креирање низа C(i) = A(i) + B(i) (i=0...FFFh), који се смешта у меморијски блок који почиње од адресе 3000h, и низа D(i) = A(i) \* B(i) (i=0...FFFh), који се смешта у меморијски блок који почиње од адресе 4000h. Након тога, резултујући низ C се шаље на периферију PER2, а низ D на периферију PER0. Улаз са PER0 и улаз са PER1 реализовати испитивањем бита спремности, излаз на PER2 коришћењем DMA контролера у циклус по циклус режиму рада са генерисањем прекида по завршетку преноса, а излаз на PER0 коришћењем механизма прекида.

**2. (20)** Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 8 Гбајта и подељен је на странице величине 8 Кбајт. Физички адресни простор је величине 8 Гбајта и подељен је на блокове величине 8 Кбајт. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

**(10)** Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

**(5)** Објаснити функцију свих делова табеле страница и TLB јединице, као и значење свих поља једног улаза табеле страница и TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

**(5)** Објаснити цео поступак пресликавања виртуелне у физичку адресу и у оквиру тога прецизно објаснити:

1. Шта се све ради када се утврђује да у TLB јединици постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски.
2. Шта се све ради када се утврђује да у TLB јединици не постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски. Навести шта се ради у два ситуацијама које том приликом могу да настану и то једанпут када је страница у меморији и други пут када страница није у меморији, као и шта се од тога ради хардверски а шта софтверски.
3. Шта се све ради када процес, који је био блокиран због тога што дескриптор странице није био у TLB јединици и страница није била у меморији, постане деблокиран, добије процесор и поново покуша превођење исте виртуелне у физичку адресу, као и шта се од тога ради хардверски а шта софтверски.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



## Организација рачунара – К2

**1. (15)** Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 3. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета, на које су везане периферије PER0, PER1 и PER2, респективно, којима треба доделити улазе 6, 4 и 2 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 100Ah и 1005h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 1h, 3h и 7h, респективно. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PSW, PC и ACC тим редом. Стек расте према нижим локацијама. Регистар SP (*Stack Pointer*) показује на прву слободну локацију на стеку. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQ2, у току 5. по линији IRQ1, а у току 9. по линији IRQ0. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ<sub>*i*</sub>; вредност овог регистра је иницијално 7h. Инструкције INTE, INTD и RTI не реагују на прекид.

адреса наредба

0100h INTE  
0101h LOAD 1h  
0104h INCA  
0105h STORE 1h  
0107h DECA  
0108h DECA  
0109h INTD

слика 1

адреса наредба

1000h POPA  
1001h STORE 1h  
1003h PUSHA  
1004h RTI  
1005h INTE  
1006h ADD 0h  
1008h INCA

слика 2

адреса наредба

1009h RTI  
100Ah DECA  
100Bh STORE 1h  
100Dh RTI  
100Fh SUB 3h  
1010h INCA  
1011h RTI

адреса садржај

0000h 1001h  
0001h 0000h  
0002h 0000h  
0003h 100Ah  
0004h 0000h  
0005h 1008h  
0006h 0000h

слика 3

**a)(3)** Написати део програма којим се додељују бројеви улаза наведеним периферијама.

**b)(3)** Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

**c)(3)** Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

**d)(3)** Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

**e)(3)** Која ће се вредност налазити на локацији 0001h након извршења секвенце под c)?

**2. (5)** Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистрали. Нацртати шему повезивања модула мод3, мод2, мод1 и мод0 са релевантним сигнаlima за случај серијске арбитраже водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.