



## Организација рачунара – К3

**1.(20)** Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 2 одређује смер операције (0-улаз, 1-излаз), бит 4 је Enable којим се дозвољава прекид. У статусним регистрима периферија PER0, PER1 и PER2 бит 5 је Ready који сигнализира спремност контролера, а у статусном регистру DMA контролера бит 5 је Ready који сигнализира крај преноса. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0...FFFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0,..FFFh) са PER1 у меморијски блок почев од адресе 2000h. Након читавања ових низова врши се креирање низа C(i) = A(i) + B(i) (i=0,..FFFh), који се смешта у меморијски блок који почиње од адресе 3000h, и низа D(i) = A(i) \* B(i) (i=0,..FFFh), који се смешта у меморијски блок који почиње од адресе 4000h. Након тога, резултујући низ C се шаље на периферију PER2, а низ D на периферију PER0. Улаз са PER0 и улаз са PER1 реализовати испитивањем бита спремности, излаз на PER2 коришћењем DMA контролера у циклус по циклус режиму рада са генерисањем прекида по завршетку преноса, а излаз на PER0 коришћењем механизма прекида.

**2. (20)** У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 1 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 1 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 8 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



## Организација рачунара – К2

1. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 3. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета, на које су везане периферије PER0, PER1 и PER2, респективно, којима треба доделити улазе 6, 4 и 2 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 100Ah и 1005h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 1h, 3h и 7h, респективно. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PSW, PC и ACC тим редом. Стек расте према нижим локацијама. Регистар SP (*Stack Pointer*) показује на прву слободну локацију на стеку. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQ2, у току 5. по линији IRQ1, а у току 9. по линији IRQ0. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је иницијално 7h. Инструкције INTE, INTD и RTI не реагују на прекид.

<u>адреса</u>	<u>наредба</u>	<u>адреса</u>	<u>наредба</u>	<u>адреса</u>	<u>наредба</u>	<u>адреса</u>	<u>садржај</u>
0100h	INTE	1000h	POPA	1009h	RTI	0000h	1001h
0101h	LOAD 1h	1001h	STORE 1h	100Ah	DECA	0001h	0000h
0104h	INCA	1003h	PUSHA	100Bh	STORE 1h	0002h	0000h
0105h	STORE 1h	1004h	RTI	100Dh	RTI	0003h	100Ah
0107h	DECA	1005h	INTE	100Fh	SUB 3h	0004h	0000h
0108h	DECA	1006h	ADD 0h	1010h	INCA	0005h	1008h
0109h	INTD	1008h	INCA	1011h	RTI	0006h	0000h

слика 1

слика 2

слика 3

а)(3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

с)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

д)(3) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

е)(3) Која ће се вредност налазити на локацији 0001h након извршења секвенце под с)?

2. (5) Посматра се асинхрона магистрала на којој се циклус читања реализује тако да је магистрала заузета све време трајања циклуса.

а) Нацртати временске облике сигнала које током реализације циклуса читања размењују газда и слуга.

б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања.