



Организација Рачунара - I

1.(20) Једноадресни процесор са меморијски раздвојеним улазно/излазним и адресним простором, меморија, периферија PER0 (adrCR=ff10h, adrSR=ff11h, adrDR=ff12h), периферија PER1 (adrCR=ff20h, adrSR=ff21h, adrDR=ff22h) и периферија PER2 (adrCR=ff30h, adrSR=ff31h, adrDR=ff32h) са придруженим контролором периферије DMA (adrCR=ff00h, adrSR=ff01h, adrDR=ff02h, adrCNT=ff03h, adrAs=ff04h, adrAd=ff05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу за PER0 и PER1 је одређен фиксно. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 3 управљачког регистра DMA контролера задаје режим рада (0-Burst, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 1100h, и низа C(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 1200h. Затим се изврши сабирање унетих низова ($C(i) = A(i) + B(i) + C(i)$) и резултујући низ шаље на периферију PER2. Улаз са PER0 и са PER1 релизовати коришћењем механизма прекида, улаз са PER2 коришћењем DMA контролера у блоковском режиму рада а излаз на PER2 коришћењем DMA контролера у циклус по циклус режиму рада.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 8 Гбајта и подељен је на странице величине 8 Кбајт. Физички адресни простор је величине 8 Гбајта и подељен је на блокове величине 8 Кбајт. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити функцију свих делова табеле страница и TLB јединице, као и значење свих поља једног улаза табеле страница и TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу и у оквиру тога прецизно објаснити:

1. Шта се све ради када се утврђује да у TLB јединици постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски.

2. Шта се све ради када се утврђује да у TLB јединици не постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски. Навести шта се ради у два ситуацијама које том приликом могу да настану и то једанпут када је страница у меморији и други пут када страница није у меморији, као и шта се од тога ради хардверски а шта софтверски.

3. Шта се све ради када процес, који је био блокиран због тога што дескриптор странице није био у TLB јединици и страница није била у меморији, постане деблокиран, добије процесор и поново покуша превођење исте виртуелне у физичку адресу, као и шта се од тога ради хардверски а шта софтверски.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а 64-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 10h. Процесор има две улазне линију IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 3 у IV табелу, респективно. Улаз 5 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1000h, 1003h, 100Dh и 1008h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW, PC и ACC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стигне захтев за прекид по линији IRQM1, у току 4. по линији IRQN, а у току 9. по линији IRQM0. На почетку су сви бити PSW-а постављени на 0.

Слика 1		Слика 2	
Адреса	Наредба	Адреса	Наредба
0100h	LOAD #1h	1000h	INTE
0102h	TRPE	1001h	INCA
0103h	INTE	1002h	RTI
0104h	STORE 1h	1003h	INCA
		1004h	SUB #2
		1006h	DECA
		1007h	RTI
		1008h	LOAD 1h
		100Ah	INCA
		100Bh	STORE 1h
		100Dh	INCA
		100Eh	RTI

a)(3) Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

b)(3) Написати део програма којим се иницијализује улаз 2 у вектор табели.

c)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d)(3) Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредности бита I, T и L. Назначити у коме смеру расте стек.

e)(3) Која ће се вредност налазити на локацији 1h након извршења секвенце под c)?

2. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.

a) Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.

b) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа.