

**JOVAN ĐORĐEVIĆ**

**ARHITEKTURA  
I  
ORGANIZACIJA  
RAČUNARA**

**BEOGRAD, 2005.**



DJM



# PREDGOVOR

Ova knjiga je napisana kao osnovni udžbenik iz arhitekture i organizacije računara i pokriva osnovne koncepte iz arhitekture i organizacije procesora, memorije, ulaza/izlaza i magistrale.

Sistemi.

Autor

Beograd

avgusta 2005.



# SADRŽAJ

<b>PREDGOVOR</b> .....	<b>1</b>
<b>SADRŽAJ</b> .....	<b>3</b>
<b>1 MAGISTRALA</b> .....	<b>1</b>
1.1 OSNOVNI POJMOVI.....	1
1.2 ARBITRACIJA.....	5
1.2.1 PROCESOR.....	5
1.2.2 ARBITRATOR.....	6
1.3 CIKLUSI NA MAGISTRALI.....	9
1.3.1 MAGISTRALNE SA ATOMSKIM CIKLUSIMA.....	9
1.3.1.1 ASINHRONA MAGISTRALA.....	9
1.3.1.2 SINHRONA MAGISTRALA.....	11
1.4 SISTEMI SA VIŠE MAGISTRALA.....	13
<b>2</b> .....	<b>15</b>
<b>3</b> .....	<b>17</b>









# 1 MAGISTRALA

U ovoj glavi se razmatraju neki elementi realizacije magistrale. U okviru toga se daju osnovni pojmovi, arbitracija, ciklusi na magistrali i sistemi sa više magistrala.

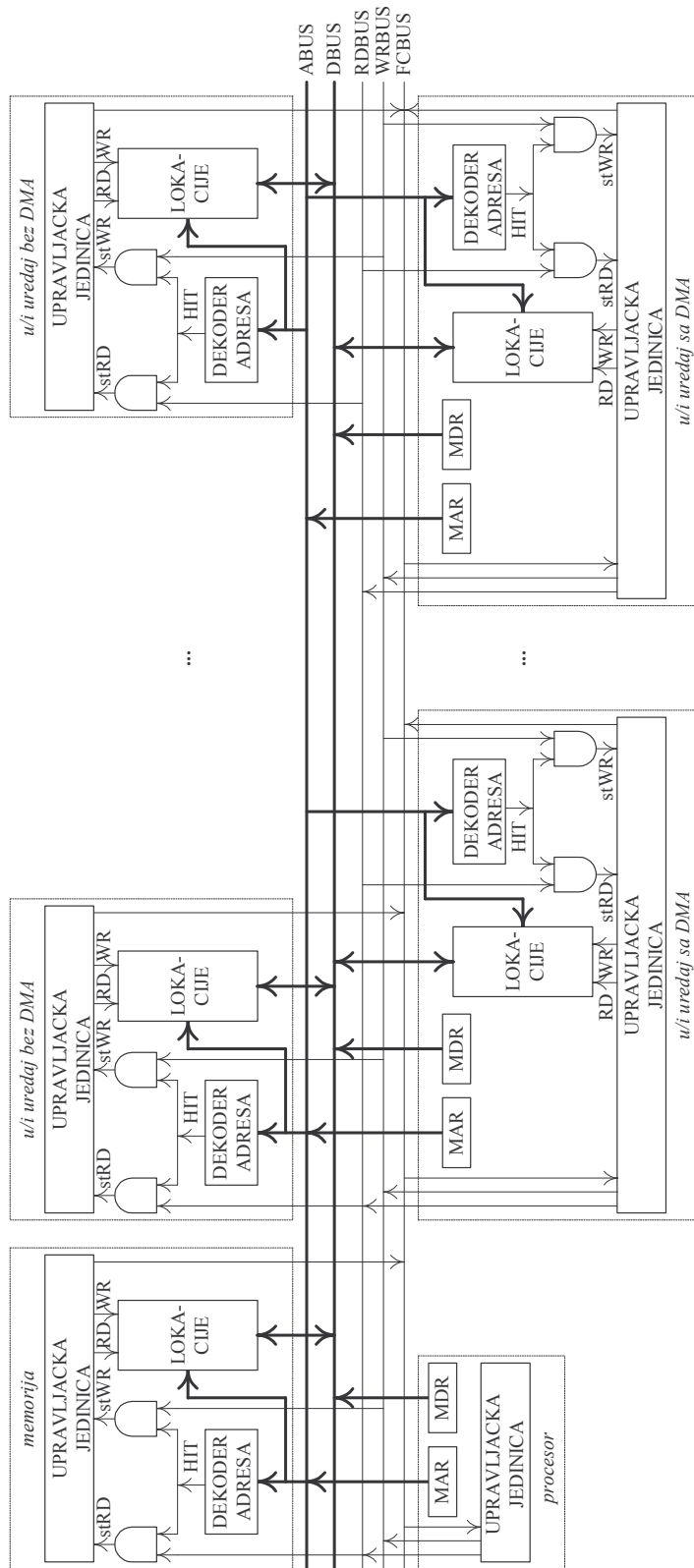
## 1.1 OSNOVNI POJMOVI

Magistrala je uređena grupa linija koja služi za povezivanje modula računarskog sistema i to procesora, memorije i ulazno/izlaznih uređaja. Preko magistrale se prenose sadržaji između registara procesora, memorijskih lokacija i registara ulazno/izlaznih uređaja. Ceo tok prenosa nekog sadržaja između dva modula, naziva se ciklus na magistrali. Modul koji započinje ciklus na magistrali, naziva se gazda (*master*), a modul sa kojim gazda realizuje ciklus, naziva se sluga (*slave*). Gazda može da bude procesor i uređaji sa direktnim pristupom memoriji. Sluga može da bude memorija i uređaji bez i sa direktnim pristupom memoriji. Procesor čita sadržaje memorijskih lokacija i upisuje sadržaje u memorijske lokacije prilikom čitanja instrukcija i operanada i upisa rezultata, kao sastavnog dela izvršavanja instrukcija kojima se vrše određena računanja. Procesor čita sadržaje registara uređaja i upisuje sadržaje u registre uređaja prilikom izvršavanja instrukcija kojima se dobija status uređaja, vrši inicijalizacija uređaja, zadaje režim rada, realizuje startovanje i zaustavljanje uređaja, i vrši prenos podataka između procesora i uređaja i obratno. Procesor prihvata brojeve ulaza u tabelu sa adresama prekidnih rutina iz registara uređaja u okviru opsluživanja zahteva za prekid. Uređaji sa direktnim pristupom memoriji čitaju sadržaje memorijskih lokacija i upisuju sadržaje u memorijske lokacije u okviru prenosa podataka iz memorije u izlazni uređaj, iz ulaznog uređaja u memoriju i iz memorije u memoriju.

Magistralu čine tri grupe linija i to adresne linije, linije podataka i upravljačke linije. Po adresnim linijama gazda šalje adresu memorijske lokacije ili registra uređaja prilikom čitanja sadržaja ili upisa sadržaja. Po linijama podataka gazda šalje sadržaj koji treba da se upiše u memorijsku lokaciju ili registar uređaja čija adresa se nalazi na adresnim linijama. Po linijama podataka sluga šalje očitani sadržaj memorijske lokacije ili registra uređaja čija adresa se nalazi na adresnim linijama. Po upravljačkim linijama gazda šalje signale kojima određuje da li treba da se realizuje čitanje ili upis sadržaja. U nekim realizacijama magistrale po upravljačkim linijama i sluga šalje signale kojima signalizira gazdi da li su čitanje ili upis sadržaja uspešno ili bezuspešno realizovani.

Slanje adrese memorijske lokacije ili registra uređaja po adresnim linijama od strane gazde prilikom čitanja ili upisa sadržaja na strani sluge naziva se adresiranje lokacija u slugi. Adresa lokacije se šalje od strane gazde po adresnim linijama svim slugama. Zadatak svih sluga je da izvrše proveru da li dati sadržaj predstavlja adresu neke od lokacije unutar datog sluge. Upravljački signal za čitanje ili upis gazda šalje svim slugama onoliko kasnije u odnosu na trenutak slanja adrese po adresnim linijama koliko je dovoljno svim slugama da utvrde da li sadržaj na adresnim linijama predstavlja adresu neke od lokacija unutar datog sluge ili ne. Ukoliko je sistem korektno realizovan samo jedan sluga bi trebalo da prepozna sadržaj na adresnim linijama kao adresu neke od svojih lokacija i da po pojavljivanju upravljačkog signala za čitanje ili upis realizuje čitanje ili upis.

Adresiranje lokacija u slugi i čitanje ili upis na strani sluge su prikazani na slici 1.



Slika 1 Adresiranje na magistrali sa memorijski preslikanim ulazno/izlaznim adresnim prostorom

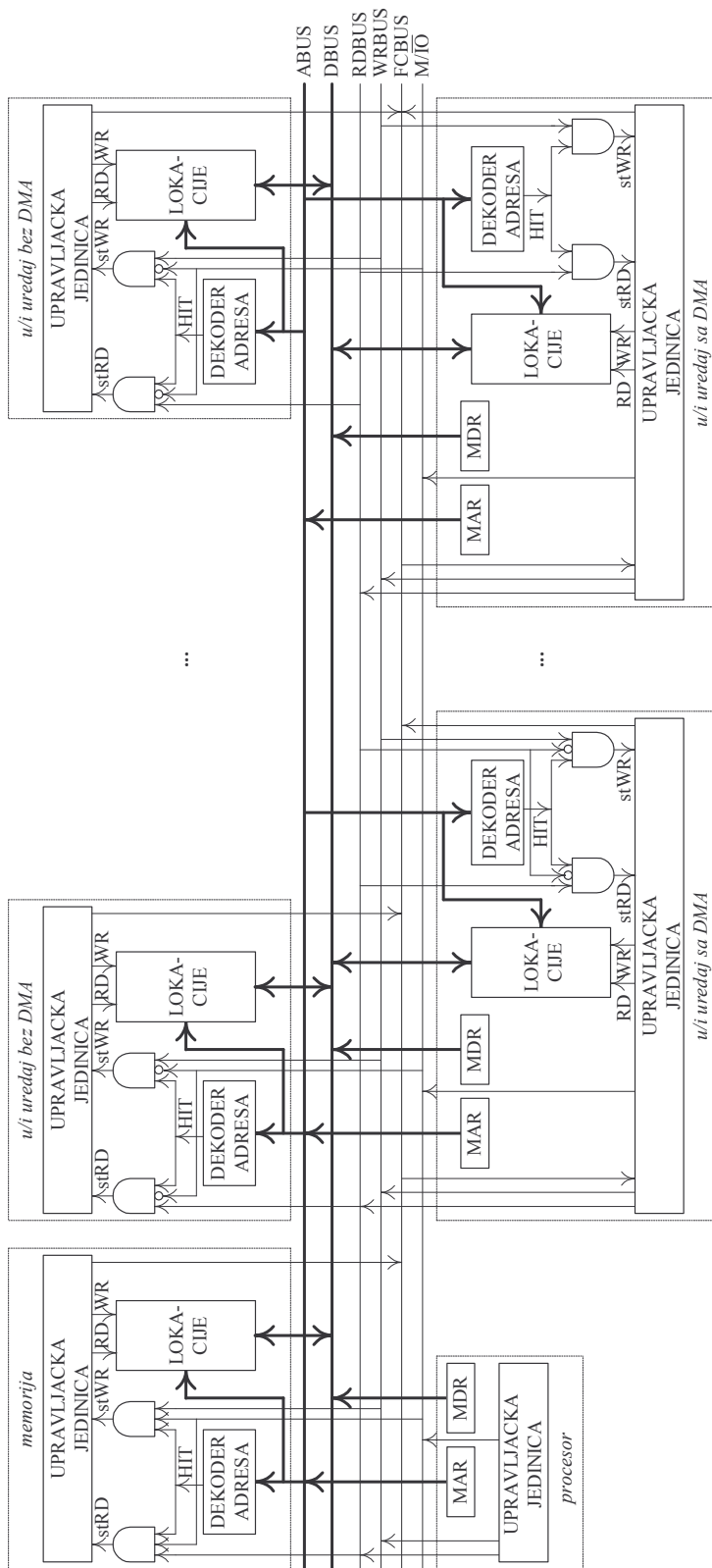
Adresu lokacije u nekom od modula gazda šalje po adresnim linijama **ABUS** magistrale i u slučaju čitanja i u slučaju upisa. Sadržaj sa adresnih linija magistrale **ABUS** primaju svi moduli i proveravaju u okviru kombinacionih mreža nazvanih *dekoder adresa* da li dati sadržaj predstavlja adresu neke od lokacija u okviru datog modula. Signal **HIT** na izlazu kombinacione mreže *dekoder adresa* ima vrednost jedan samo kod onog modula u kome se nalazi adresirana lokacija, dok u slučaju svih ostalih modula ima vrednost nula. Modul sa vrednošću jedan signala **HIT** postaje sluga sa kojim će gazda realizovati čitanje ili upis.

U slučaju čitanja upravljačka jedinica gazde generiše i šalje po upravljačkoj liniji **RDBUS** upravljački signal čitanja. Signal **RDBUS** primaju svi moduli, ali se na osnovu signala **RDBUS** samo u slugi u kome je signala **HIT** jedinica formira signal **stRD** i njime samo upravljačka jedinica sluge startuje da realizuje čitanje. Upravljačka jedinica sluge generiše signal **RD** čime se iz *lokacije* adresirane sadržajem na adresnim linijama magistrale **ABUS** čita sadržaj i šalje po linijama podataka magistrale **DBUS** svim modulima vezanim na magistralu. Istovremeno upravljačka jedinica sluge generiše i šalje po upravljačkoj liniji **FCBUS** upravljački signal završetka čitanja. Signal **FCBUS** primaju svi moduli vezani na magistralu, ali na njega reaguje samo gazda koji je generisao signal **RDBUS** tako što upisuje sadržaj sa linija **DBUS** u svoj prihvatni registar podatka **MDR** i završava čitanje.

U slučaju upisa upravljačka jedinica gazde generiše i šalje po linijama podataka magistrale **DBUS** sadržaj koji treba upisati u slugi i po upravljačkoj liniji **WRBUS** upravljački signal upisa. Sadržaj sa linija **DBUS** i signal **WRBUS** primaju svi moduli, ali se na osnovu signala **WRBUS** samo u slugi u kome je signala **HIT** jedinica formira signal **stWR** i njime samo upravljačka jedinica sluge startuje da realizuje upis. Upravljačka jedinica sluge generiše signal **WR** čime se u *lokacije* adresiranu sadržajem na adresnim linijama magistrale **ABUS** upisuje sadržaj sa linija podataka magistrale **DBUS**. Istovremeno upravljačka jedinica sluge generiše i šalje po upravljačkoj liniji **FCBUS** upravljački signal završetka upisa. Signal **FCBUS** primaju svi moduli vezani na magistralu, ali na njega reaguje samo gazda koji je generisao signal **WRBUS**, tako što završava upis.

Opseg adresa koje mogu da se koriste za adresiranje memorijskih lokacija se naziva memorijski adresni prostor, dok se opseg adresa koje mogu da se koriste za adresiranje registara uređaja naziva ulazno izlazni adresni prostor. Ukoliko se registrima uređaja pristupa istim instrukcijama kao i memorijskim lokacijama, kaže se da je ulazno/izlazni adresni prostor memorijski preslikan. Ukoliko postoje posebne instrukcije za pristup registrima uređaja i postoje posebne instrukcije za pristup memorijskim lokacijama, kaže se da su ulazno/izlazni i memorijski adresni prostori razdvojeni.

Adresiranje memorijskih lokacija i registara uređaja za slučaj kada je ulazno/izlazni adresni prostor memorijski preslikan je prikazano na slici 1. Ovde se samo vrednošću adrese generisane od strane gazde određuje da li se čitanje ili upis realizuje sa memorijskim lokacijama ili registrima uređaja. Adresiranje memorijskih lokacija i registara uređaja za slučaj kada su ulazno/izlazni adresni prostor i memorijski adresni prostor razdvojeni je prikazano na slici 2. Ovde se vrednošću posebnog signala  $M/\overline{IO}$  generisanim od strane gazde određuje da li se čitanje ili upis realizuje sa memorijskim lokacijama ili registrima uređaja. Ukoliko se usvoji da gazda postavlja signal  $M/\overline{IO}$  na vrednost jedan kada čitanje ili upis treba da se realizuje sa memorijskim lokacijama i na vrednost nula kada čitanje ili upis treba da se realizuje sa registrima uređaja, memorija treba da reaguje i realizuje čitanje ili upis kada signal  $M/\overline{IO}$  ima vrednost jedan a jedan od ulazno/izlaznih uređaja kada signal  $M/\overline{IO}$  ima vrednost nula.



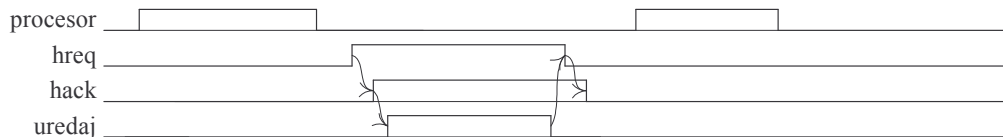
Slika 2 Adresiranje na magistrali sa razdvojenim memorijskim i ulazno/izlaznim adresnim prostorima

## 1.2 ARBITRACIJA

Arbitracija je odlučivanje o tome ko može da realizuje ciklus na magistrali. U zavisnosti od toga kako se realizuje arbitracija razlikuju se sistemi kod kojih je to funkcija procesora i sistemi kod kojih je to funkcija arbitratora.

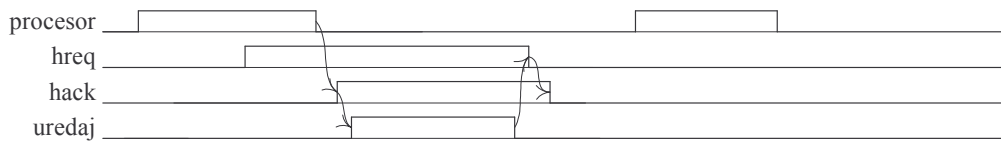
### 1.2.1 PROCESOR

Kod ovih sistema magistrala je uvek u posedu procesora, pa ulazno/izlazni uređaj koji treba da realizuje ciklus na magistrali mora najpre da uputi procesoru zahtev za korišćenje magistrale i da tek po dobijanju dozvole korišćenja magistrale od procesora realizacije ciklusa na magistrali. S toga između ulazno/izlaznog uređaja i procesora postoji par linija **hreq** i **hack**. Po liniji **hreq** uređaj šalje zahtev za korišćenje magistrale, a po liniji **hack** procesor šalje uređaju dozvolu korišćenja magistrale. Uređaj postavlja signal **hreq** na aktivnu i čeka da dobije aktivnu vrednost signala **hack**. Po dobijanju aktivne vrednosti signala **hack** uređaj realizacije ciklusa na magistrali pri čemu drži aktivnu vrednost signala **hreq** sve vreme trajanja ciklusa na magistrali. Tek po završetku ciklusa na magistrali uređaj postavlja signal **hreq** na neaktivnu vrednost, na šta mu procesor, postavljanjem signala **hack** na neaktivnu vrednost, ukida dozvolu korišćenja magistrale. Karakteristične situacije koje mogu da nastanu prilikom razmene signala **hreq** i **hack** između uređaja i procesora su prikazane na slikama 3, 4 i 5.



Slika 3 Uređaj i procesor ne čekaju

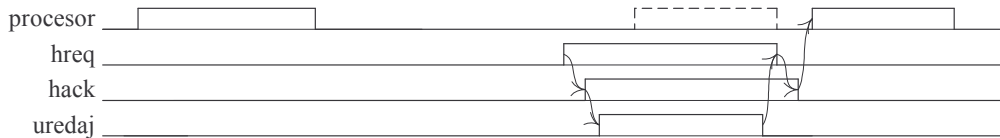
Na slici 3 je prikazana situacija u kojoj ni uređaj ni procesor ne moraju da čekaju da bi realizovali ciklus na magistrali. Na početku procesor izvesno vreme koristi magistralu (signal **procesor** je najpre aktivan pa zatim neaktivan). U trenutku kada uređaj upućuje procesoru zahtev za korišćenje magistrale (signal **hreq** aktivan) procesor ne koristi magistralu (signal **procesor** neaktivan). S toga procesor odmah daje uređaju dozvolu korišćenja magistrale (signal **hack** aktivan), pa uređaj kreće sa realizacijom ciklusa na magistrali (signal **uređaj** aktivan). Po završetku ciklusa na magistrali (signal **uređaj** neaktivan) uređaj ukida procesoru zahtev korišćenja magistrale (signal **hreq** neaktiva), pa procesor ukida uređaju dozvolu korišćenja magistrale (signal **hack** neaktivan). Kada nešto kasnije procesoru ponovo zatreba magistrala (signal **procesor** aktivan), procesor može odmah da krene sa realizacijom ciklusa na magistrali. Ovo je idealna situacija sa aspekta iskorišćenja magistrale jer uređaj i procesor ne čekaju, već kada im je magistrala potrebna odmah kreću sa realizacijom ciklusa na magistrali.



Slika 4 Uređaj čeka procesor

Na slici 4 je prikazana situacija u kojoj uređaj tek pošto sačeka da procesor završi ciklus na magistrali kreće sa realizacijom svog ciklusa na magistrali. Na početku procesor izvesno vreme koristi magistralu (signal **procesor** je aktivan). U trenutku kada uređaj upućuje procesoru zahtev za korišćenje magistrale (signal **hreq** aktivan) procesor još uvek koristi magistralu (signal **procesor** aktivan), pa procesor ne daje odmah uređaju dozvolu korišćenja

magistrale (signal **hack** neaktivan). S toga procesor tek kada završi svoj ciklus na magistrali (signal **procesor** neaktivan) daje uređaju dozvolu korišćenja magistrale (signal **hack** aktivan), pa uređaj kreće sa realizacijom ciklusa na magistrali (signal **uređaj** aktivan). Po završetku ciklusa na magistrali (signal **uređaj** neaktivan) uređaj ukida procesoru zahtev korišćenja magistrale (signal **hreq** neaktivan), pa procesor ukida uređaju dozvolu korišćenja magistrale (signal **hack** neaktivan). Kada nešto kasnije procesoru ponovo zatreba magistrala (signal **procesor** aktivan), procesor može odmah da krene sa realizacijom ciklusa na magistrali. Ovo je konfliktna situacija koja se rešava time što uređaj čeka da procesor završi započeti ciklus na magistrali.



Slika 5 Procesor čeka uređaj

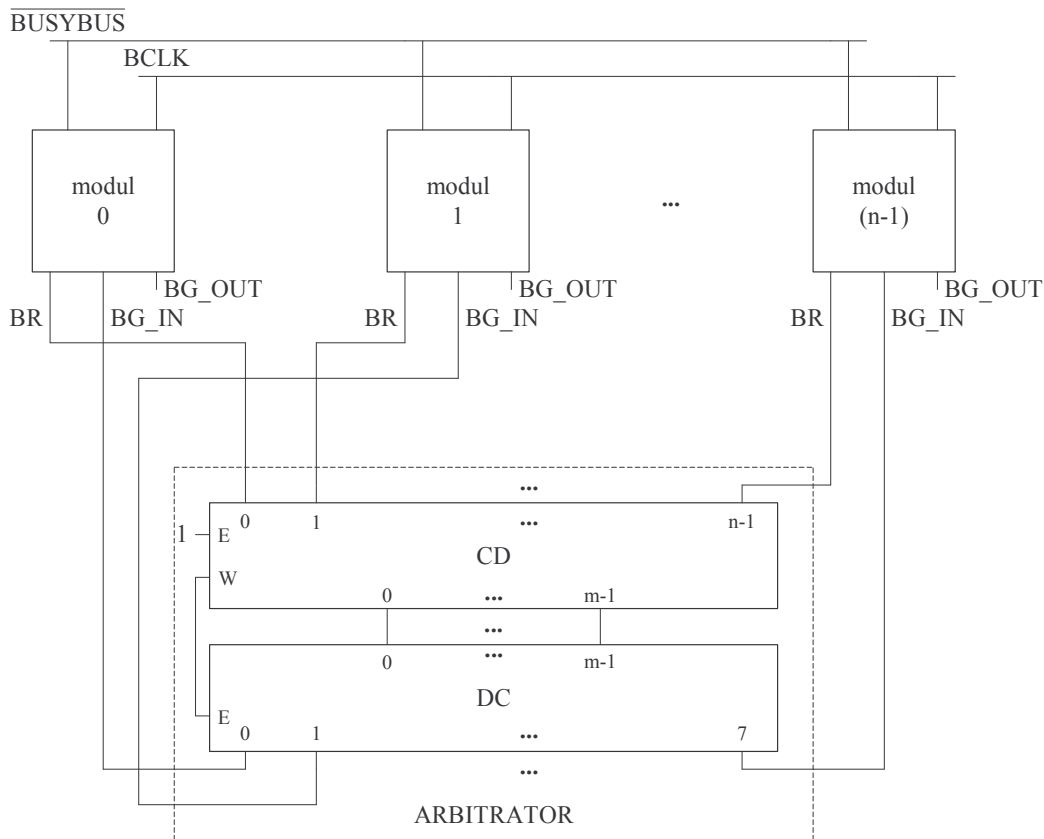
Na slici 5 je prikazana situacija u kojoj procesor tek pošto sačeka da uređaj završi ciklus na magistrali kreće sa realizacijom svog ciklusa na magistrali. Na početku procesor izvesno vreme koristi magistralu (signal **procesor** je najpre aktivan pa zatim neaktivan). U trenutku kada uređaj upućuje procesoru zahtev za korišćenje magistrale (signal **hreq** aktivan) procesor ne koristi magistralu (signal **procesor** neaktivan). S toga procesor odmah daje uređaju dozvolu korišćenja magistrale (signal **hack** aktivan), pa uređaj kreće sa realizacijom ciklusa na magistrali (signal **uređaj** aktivan). U toku trajanja ciklusa na magistrali (signal **uređaj** aktivan) procesoru je potrebna magistrala (isprekidane linije za signal **procesor** aktivan), ali ne može da je koristi sve dok uređaj ne završi tekući ciklus. Po završetku ciklusa na magistrali (signal **uređaj** neaktivan) uređaj ukida procesoru zahtev korišćenja magistrale (signal **hreq** neaktivan), pa procesor ukida uređaju dozvolu korišćenja magistrale (signal **hack** neaktivan). Tek sada procesor može da krene sa realizacijom svog sledećeg ciklusa na magistrali (signal **procesor** aktivan). Ovo je konfliktna situacija koja se rešava time što procesor čeka da uređaj završi započeti ciklus na magistrali.

## 1.2.2 ARBITRATOR

Kod ovih sistema svi moduli koji žele da realizuju neki ciklus na magistrali, a to su procesor i ulazno/izlazni uređaj sa direktnim pristupom memoriji, moraju najpre da učestvuju u arbitraciji, pa tek potom modul koji dobije dozvolu korišćenja magistrale može da realizuje ciklus na magistrali. U zavisnosti od toga kako se utvrđuje koji od modula dobija dozvolu korišćenja magistrale razlikuju se paralelna i serijska arbitracija.

U slučaju paralelne arbitracije postoji poseban uređaj koji se naziva arbitrator i koji se sastoji od koda prioriteta CD i dekodera DC (slika 6). Između modula koji žele da realizuju neki ciklus na magistrali i arbitratora postoji par linija BR i BG\_IN. Po liniju BR modul šalje zahtev za korišćenje magistrale, a po liniji BG\_IN arbitrator šalju modulu dozvolu korišćenja magistrale. Uzeto je da arbitrator ima n linija ulaza i izlaza, pri čemu je  $n=2^m$ , i da je linija 0 najvišeg a linija (n-1) najnižeg prioriteta. U zavisnosti od toga na koju od n linija arbitratora su povezane linije BR i BG\_IN modula određuje se prioritet modula. S toga je modul koji je povezan na liniju 0 najvišeg a modul koji je povezan na liniju (n-1) najnižeg prioriteta. Ukoliko zahtevi za korišćenje magistrale stignu po više linija BR istovremeno, dozvola se daju samo po jednog liniji BG\_IN i to po onoj koja odgovara liniji BR najvišeg prioriteta po kojoj je upućen zahtev za korišćenje magistrale.

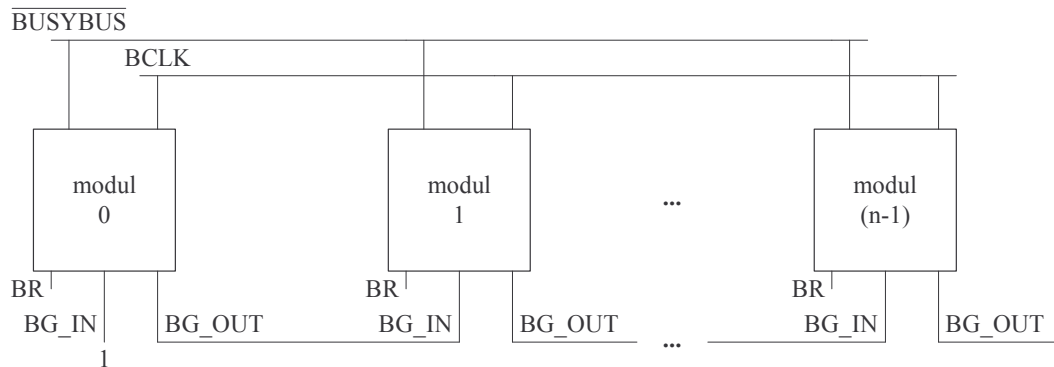




Slika 6 Paralelna arbitracija

U slučaju serijske arbitracije moduli su povezani u lanac linijama **BG\_IN** i **BG\_OUT** (slika 7). Po liniji **BG\_IN** koja je povezana na liniju **BG\_OUT** modula višeg prioriteta se dobija dozvola korišćenja magistrale od modula višeg prioriteta, a po liniji po liniji **BG\_OUT** koja je povezana na liniju **BG\_IN** modula nižeg prioriteta se prosleđuje dozvola korišćenja magistrale modulu nižeg prioriteta. U zavisnosti od toga kako su povezane linije **BG\_OUT** i **BG\_IN** modula u lancu određuje se prioritet modula. Modul koji je prvi u lancu je najvišeg, a modul koji je zadnji u lancu je najnižeg prioriteta. Na liniji **BG\_IN** modula prvog u lancu je 1, čime se obezbeđuje da on ima dozvolu korišćenja magistrale. Ovaj modul, kao i svaki drugi modul u lancu koji na liniji **BG\_IN** ima dozvolu korišćenja magistrale, vrši proveru da li on ima zahtev korišćenja magistrale. Ako da, onda će on realizovati ciklus na magistrali, a preko svoje linije **BG\_OUT** na liniju **BG\_IN** sledećeg modula u lancu poslati vrednost 0 kao indikaciju da nema prosleđivanja dozvole korišćenja magistrale. Vrednost 0 na liniji **BG\_IN** modula daje vrednost 0 na liniji **BG\_OUT**. U ovom slučaju svi preostali moduli u lancu na svojim linijama **BG\_IN** imaju vrednost 0 i time nemaju dozvole korišćenja magistrale. Ako ne, onda on neće realizovati ciklus na magistrali, a preko svoje linije **BG\_OUT** na liniju **BG\_IN** sledećeg modula u lancu šalje vrednost 1 kao indikaciju da on prosleđuje dozvolu korišćenja magistrale sledećem modulu u lancu. Ovaj modul se po dobijanju vrednosti 1 na svom ulazu **BG\_IN** ponaša na identičan nači kao prethodni modul. Ovaj modul vrši proveru da li on ima zahtev korišćenja magistrale. Ako da, onda će on realizovati ciklus na magistrali, a preko svoje linije **BG\_OUT** na liniju **BG\_IN** sledećeg modula u lancu poslati vrednost 0 kao indikaciju da nema prosleđivanja dozvole korišćenja magistrale. Ako ne, onda on neće realizovati ciklus na magistrali, a preko svoje linije **BG\_OUT** na liniju **BG\_IN** sledećeg modula u lancu šalje vrednost 1 kao indikaciju da on prosleđuje dozvolu korišćenja magistrale sledećem modulu u lancu. Na ovaj način se dozvola korišćenja magistrale prosleđuje od

modula višeg prioriteta koji nemaju zahteve korišćenja magistrale ka modulima nižeg prioriteta sve dok dozvola korišćenja magistrale ne stigne do modula koji ima zahtev korišćenja magistrale. Dati modul realizuje ciklus na magistrali, a dozvolu više ne prosleđuje.



Slika 7 Serijska arbitracija

Zahtevi korišćenja magistrale BR predstavljaju interno generisane zahteve korišćenja magistrale sinhronizovane na signal takta magistrale BCLK. Ovo se nameće kao posledica pretpostavke da svaki modul radi sa svojom internom periodom signala takta, pa interno generisani zahtevi korišćenja magistrale dobijaju vrednosti 1 i 0 u trenucima signala takta modula. Tako generisani zahtevi su vremenski nesinhronizovani pa bi, ukoliko bi se oni koristili u arbitraciji, mogli da stvore probleme i u slučaju paralelne i u slučaju serijske arbitracije. Sinhronizovanjem tih interno generisanih zahteva na signal takta magistrale BCLK obezbeđuje se da signali zahteva BR svih modula dobijaju vrednosti 1 i 0 u trenucima signala takta magistrale BCLK. Pri tome perioda signala takta magistrale BCLK mora da bude veća od propagacije kroz arbitrator u slučaju paralelne arbitracije (slika 6) i od kompletne propagacije u lancu u slučaju serijske arbitracije (slika 7).

Dok modul koji je gazda realizuje ciklus na magistrali u trajanju više perioda signala takta modula, u drugim modulima mogu da se jave zahtevi za korišćenje magistrale. S toga se paralelno sa ciklusom na magistrali odvija arbitracija i u toku trajanja ciklusa neki modul može da dobije dozvolu korišćenja magistrale. Taj modul ne sme da krene sa realizacijom svog ciklusa na magistrali dok modul koji je započeo ciklus na magistrali ne kompletira ciklus. Da bi se to osiguralo uvodi se i signal zauzeća magistrale  $\overline{BUSBUSY}$ . Vrednost 0 ovog signala označava da je magistrala zauzeta, a stanje visoke impedanse da je slobodna. Modul koji kao gazda realizuje ciklus na magistrali na početku ciklusa postavlja ovaj signal na 0, a po završetku ciklusa u stanje visoke impedanse. Modul koji dobije dozvolu korišćenja magistrale pre nego što krene sa realizacijom ciklusa na magistrali mora da proveri vrednost signala  $\overline{BUSBUSY}$ . Ukoliko signal  $\overline{BUSBUSY}$  ima vrednost 0 magistrala je zauzeta i modul koji je dobio dozvolu ne sme da krene sa realizacijom ciklusa na magistrali, već mora da sačeka da signal  $\overline{BUSBUSY}$  pređe u stanje visoke impedanse. Ukoliko je signal  $\overline{BUSBUSY}$  u stanju visoke impedanse magistrala nije zauzeta i modul koji je dobio dozvolu najpre postavlja signal  $\overline{BUSBUSY}$  na vrednost nula pa tek onda kreće sa realizacijom ciklusa na magistrali. Po završetku ciklusa na magistrali dati modul postavlja signal  $\overline{BUSBUSY}$  u stanje visoke impedanse. Time se omogućuje da modul koji je u međuvremenu dobio dozvolu korišćenja magistrale ali nije mogao da krene da realizuje ciklus na magistrali jer je magistrala bila zauzeta, sada može, postavljanjem signala  $\overline{BUSBUSY}$  na 0, da zauzme magistralu i krene sa realizacijom svog ciklusa na magistrali. Najjednostavnije rešenje je da se signal  $\overline{BUSBUSY}$  postavlja u stanje visoke impedanse i na vrednost 0 na signal takta magistrale BCLK.

## 1.3 CIKLUSI NA MAGISTRALI

U zavisnosti od toga koliko je zauzeta magistrala prilikom ciklusa, razlikuju se magistrale sa atomskim ciklusima i magistrale sa podeljenim ciklusima.

### 1.3.1 MAGISTRALE SA ATOMSKIM CIKLUSIMA

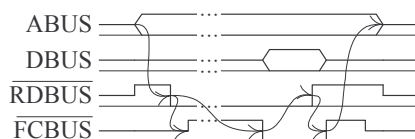
U slučaju magistrale sa atomskim ciklusima postoje ciklus čitanja, ciklus upisa i ciklus prihvatanja broja ulaza, a magistrala je zauzeta sve vreme dok se realizuje prenos podatka između gazde i sluge. U zavisnosti od toga kako se utvrđuje šta i kada gazda i sluga treba da urade prilikom realizacije ciklusa na magistrali, razlikuju se asinhrono i sinhrono magistrale.

#### 1.3.1.1 ASINHRONA MAGISTRALA

Moduli magistrale obično rade asinhrono svaki na svoj signal takta i trajanje svakog ciklusa je određeno vremenom pristupa modula sluge. Pri ciklusu čitanja, gazda šalje adresu na adresne linije **ABUS** i signalom na upravljačkoj liniji **RDBUS** startuje čitanje u slugi. Po završenom čitanju, sluga šalje očitani podatak na linije podataka **DBUS** i signalom na upravljačkoj liniji **FCBUS** gazdi signalizira da je podatak raspoloživ. Pri ciklusu upisa, gazda šalje adresu na adresne linije **ABUS**, podatak na linije podataka **DBUS** i signalom na upravljačkoj liniji **WRBUS** startuje upis u slugi. Po završenom upisu, sluga signalom na upravljačkoj liniji **FCBUS** gazdi signalizira da mu adresa i podatak nisu više potrebni. Pri ciklusu prihvatanje broja ulaza, procesor, signalom potvrde prekida **inta** na jednoj od linija, startuje čitanje sadržaja registra broja ulaza u jednom od ulazno/izlaznih uređaja. Po završenom čitanju, uređaj šalje očitani sadržaj na linije podataka **DBUS** i signalom na upravljačkoj liniji **FCBUS** procesoru signalizira da je broj ulaza raspoloživ.

Svi moduli su preko bafera sa tri stanja povezani na adresne linije, linije podataka i upravljačke linije magistrale. Pri tome na linije magistrale odgovarajuće sadržaje mogu preko bafera sa tri stanja da propuštaju samo modul koji je trenutno gazda i modul koji kao sluga sa njim realizuje ciklus na magistrali. Svi ostali uređaji svoje bafere sa tri stanja drže u stanju visoke impedanse i ne opterećuju linije magistrale.

Vremenski oblici signala **ABUS**, **DBUS**, **RDBUS** i **FCBUS**, koje na magistrali razmenjuju gazda i sluga prilikom realizacije ciklusa čitanja, dati su na slici 8.

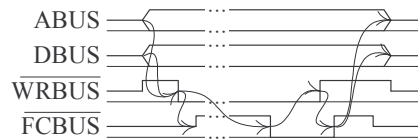


Slika 8 Vremenski oblici signala za ciklus čitanja na asinhronoj magistrali

Dok ne krene sa realizacijom ciklusa čitanja gazda drži adresne linije **ABUS** i upravljačku liniju čitanja **RDBUS** u stanju visoke. To isto čini i modul koji će postati sluga sa linijama podataka **DBUS** i upravljačkom linijom završetka ciklusa **FCBUS**. Gazda kreće sa realizacijom ciklusa čitanja tako što otvara bafere sa tri stanja za adresne linije **ABUS** i upravljačku liniju čitanja **RDBUS**. Na linijama **ABUS** je adresa lokacije, a na liniji **RDBUS** neaktivna vrednost signala čitanja. Sadržaj sa linija **ABUS** primaju svi moduli (slika 1) i na svojim dekoderima adresa proveravaju da li dati sadržaj predstavlja adresu neke od lokacija u datom modulu. Posle vremena dovoljnog da se u svim modulima ova provera završi i samo u jednom od njih formira aktivna a u ostalima neaktivne vrednosti signala **HIT**, gazda postavlja

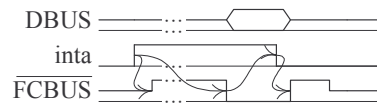
liniju **RDBUS** na aktivnu vrednost. Signal sa linije **RDBUS** primaju svi moduli (slika 1), ali na njega reaguje i za dati ciklus postaje sluga samo onaj modul u kome je signal **HIT** aktivan. Sluga započinje čitanje i otvara bafere sa tri stanja za linije podataka **DBUS** i upravljačku liniju čitanja **FCBUS**. Na linijama **DBUS** je dok traje čitanje nedefinisani sadržaj, a na liniji **FCBUS** neaktivna vrednost signala. Kada se u slugi završi čitanje na linijama **DBUS** se pojavljuje očitani sadržaj, a na liniji **FCBUS** aktivna vrednost. Na aktivnu vrednost signala **FCBUS** reaguje gazda i upisuje sadržaj sa linija **DBUS** u neki svoj prihvatni registar podatka. Po završetku upisa gazda postavlja liniju **RDBUS** na neaktivnu vrednost, što je indikacija slugi da gazdi sadržaj sa linija **DBUS** nije više potreban. Na neaktivnu vrednost signala **RDBUS** reaguje sluga tako što ukida sadržaj sa linija podataka **DBUS** i prebacuje ove linije u stanje visoke impedanse, i postavlja liniju **FCBUS** najpre na neaktivnu vrednost a zatim i u stanje visoke impedanse. Na neaktivnu vrednost signala **FCBUS** reaguje sluga tako što ukida sadržaj sa adresnih linija **ABUS** i prebacuje ove linije u stanje visoke impedanse. Time je ciklus čitanja kompletiran.

Vremenski oblici signala **ABUS**, **DBUS**, **WRBUS** i **FCBUS**, koje na magistrali razmenjuju gazda i sluga prilikom realizacije ciklusa upisa, dati su na slici 9. Razmena signala između gazde i sluge je veoma slična kao i za slučaj ciklusa čitanja. Jedina razlika je da sadržaj po linijama podataka **DBUS** sada šalje gazda i da umesto signala čitanja **RDBUS** gazda šalje signal upisa **WRBUS**.



Slika 9 Vremenski oblici signala za ciklus upisa na asinhronoj magistrali

Vremenski oblici signala **DBUS** i **FCBUS**, koje na magistrali razmenjuju procesor kao gazda i uređaj kao sluga, i signala potvrde **inta**, koji po posebnoj liniji koja ne pripada magistrali procesor šalje ulazno/izlaznom uređaju prilikom realizacije ciklusa prihvatanje broja ulaza, dati su na slici 10.



Slika 10 Vremenski oblici signala za ciklus prihvatanje broja ulaza na asinhronoj magistrali

Razmena signala između procesora kao gazde i nekog od uređaja kao sluge je veoma slična kao i za slučaj ciklusa čitanja. Razlika je u tome da procesor kao gazda ne koristi adresne linije **ABUS** i upravljačku liniju **RDBUS** za realizaciju ciklusa prihvatanje broja ulaza. Umesto toga postavljanjem signala **inta** na aktivnu i neaktivnu vrednost procesor kao gazda započinje i završava ciklus prihvatanje broja ulaza na isti način kao što to čini postavljanjem signala **RDBUS** na aktivnu i neaktivnu vrednost u slučaju ciklusa čitanja. Ulazno/izlazni uređaj na koji je linija **inta** povezana kao sluga reaguje na aktivnu i neaktivnu vrednost signala **inta** na isti način na koji reaguje na aktivnu i neaktivnu vrednost signala **RDBUS** u slučaju ciklusa čitanja. Sluga po linijama **DBUS** šalje broj ulaza i postavljanjem

signala  $\overline{\text{FCBUS}}$  na aktivnu i neaktivnu vrednost ukazuje kada je sadržaja na linijama važeći i nevažeći.

Dobra strane asinhronne magistrale je da se signali između gazde i sluge razmenjuju na identičan način bez obzira na to koliko je vreme pristupa sluge, pa se na magistralu mogu povezivati moduli sa različitim vremenima pristupa i svakom od njih pristupiti sa njegovim vremenom pristupa. Loša strana asinhronne magistrale je da se u situacijama kada gazda i sluga rade sa posebnim signalima takta gubi vreme prilikom razmene upravljačkih signala  $\overline{\text{RDBUS}}$ ,  $\overline{\text{WRBUS}}$  i  $\overline{\text{FCBUS}}$ .

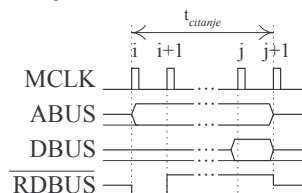
### 1.3.1.2 SINHRONA MAGISTRALA

Moduli magistrale rade sinhrono na isti signal takta  $\text{MCLK}$  i trajanje ciklusa je fiksno. Pri ciklusu čitanja, gazda šalje adresu na adresne linije  $\text{ABUS}$  i aktivnom vrednošću signala na upravljačkoj liniji  $\overline{\text{RDBUS}}$  određuje da čitanje treba da se realizuje u slugi. U ovom slučaju je vreme čitanja fiksno, tako da gazda pretpostavlja da je po isteku tog vremena podatak raspoloživ na linijama podataka  $\text{DBUS}$  pa ga upisuje u neki svoj prihvatni registar podatka i uklanja adresu sa adresnih linija  $\text{ABUS}$ . Pri ciklusu upisa, gazda šalje adresu na adresne linije  $\text{ABUS}$ , podatak na linije podataka  $\text{DBUS}$  i aktivnom vrednošću signala na upravljačkoj liniji  $\overline{\text{WRBUS}}$  određuje da upis treba da se realizuje u slugi. U ovom slučaju je vreme upisa fiksno, tako da gazda pretpostavlja da je po isteku tog vremena podatak upisan u slugi i uklanja adresu sa linija  $\text{ABUS}$  i podatak sa linija  $\text{DBUS}$ . Pri ciklusu prihvatanje broja ulaza, procesor, signalom potvrde prekida  $\text{inta}$  na jednoj od linija, određuje da čitanje sadržaja registra broja ulaza u jednom od ulazno/izlaznih uređaja kao slugi treba da se realizuje. U ovom slučaju je vreme čitanja broja ulaza fiksno, tako da gazda pretpostavlja da je po isteku tog vremena podatak raspoloživ na linijama podataka  $\text{DBUS}$  pa ga upisuje u neki svoj prihvatni registar podatka.

Svi moduli su kao i u slučaju asinhronne magistrale, preko bafera sa tri stanja, povezani na adresne linije, linije podataka i upravljačke linije magistrale. Pri tome, na linije magistrale odgovarajuće sadržaje mogu, preko bafera sa tri stanja, da propuštaju samo modul koji je trenutno gazda i modul koji kao sluga sa njim realizuje ciklus na magistrali. Svi ostali uređaji svoje bafere sa tri stanja drže u stanju visoke impedanse i ne opterećuju linije magistrale.

I ovde sa kao i u slučaju asinhronne magistrale adresa po linijama  $\text{ABUS}$  šalje svim modulima (slika 1) koji na svojim dekoderima adresa proveravaju da li dati sadržaj predstavlja adresu neke od lokacija u datom modulu. Posle vremena dovoljnog da se u svim modulima ova provera završi, samo u jednom od njih se formira aktivna a u ostalima neaktivne vrednosti signala  $\text{HIT}$ . I ovde signal sa linije  $\overline{\text{RDBUS}}$  primaju svi moduli (slika 1), ali na njega reaguje i za dati ciklus postaje sluga samo onaj modul u kome je signal  $\text{HIT}$  aktivan.

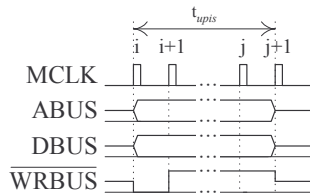
Vremenski oblici signala  $\text{ABUS}$ ,  $\text{DBUS}$  i  $\overline{\text{RDBUS}}$ , koje na magistrali razmenjuju gazda i sluga prilikom realizacije ciklusa čitanja, dati su na slici 11.



Slika 11 Vremenski oblici signala za ciklus čitanja na sinhronoj magistrali

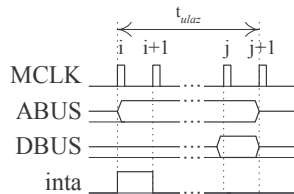
Dok ne krene sa realizacijom ciklusa čitanja gazda drži adresne linije **ABUS** i upravljačku liniju čitanja **RDBUS** u stanju visoke impedanse. To isto čini i modul koji će postati sluga sa linijama podataka **DBUS**. Vreme trajanje ciklusa čitanja  $t_{\text{čitanje}}$  je fiksno i započinje na  $i$ -ti signal takta **MCLK** i završava se na  $(j+1)$ -vi signal takta **MCLK**. Između ova dva signala takta **MCLK** i gazda i sluga znaju šta ko na koji signal takta **MCLK** treba da uradi. Gazda uvek na  $i$ -ti signal takta otvara bafere sa tri stanja i pušta adresu na adresne linije **ABUS** i liniju **RDBUS** postavlja na aktivnu vrednost, na  $(i+1)$ -vi signal takta liniju **RDBUS** postavlja na neaktivnu vrednost, na  $j$ -ti signal takta upisuje sadržaj sa linija podataka **DBUS** u neki svoj prihvatni registar podatka i na  $(j+1)$ -vi signal takta završava ciklus na magistrali tako što adresne linije **ABUS** i upravljačku liniju čitanja **RDBUS** postavlja u stanju visoke impedanse. Svi moduli počev od  $i$ -tog signala takta primaju adresu i do pojave  $(i+1)$ -vog signala takta se u jednom od njih formira aktivna vrednost signala **HIT**. Modul sa aktivnom vrednošću signala na **HIT** na  $(i+1)$ -vi signal takta utvrđuje da je signal **RDBUS** aktivan i kao sluga kreće sa čitanjem, najkasnije do  $(i+1)$ -og signala takta pušta pročitani sadržaja na linije podataka **DBUS** i na  $(j+1)$ -vi signal takta završava ciklus na magistrali tako što linije podataka **DBUS** postavlja u stanju visoke impedanse.

Vremenski oblici signala **ABUS**, **DBUS** i **WRBUS**, koje na magistrali razmenjuju gazda i sluga prilikom realizacije ciklusa upisa, dati su na slici 12. Razmena signala između gazde i sluge je veoma slična kao i za slučaj ciklusa čitanja. Jedina razlika je da sadržaj po linijama podataka **DBUS** sada šalje gazda i da umesto signala čitanja **RDBUS** gazda šalje signal upisa **WRBUS**.



Slika 12 Vremenski oblici signala za ciklus upisa na sinhronoj magistrali

Vremenski oblici signala **DBUS** koje na magistrali razmenjuju procesor kao gazda i uređaj kao sluga i signala potvrde **inta**, koji po posebnoj liniji koja ne pripada magistrali, procesor šalje ulazno/izlaznom uređaju prilikom realizacije ciklusa prihvatanje broja ulaza, dati su na slici 13.



Slika 13 Vremenski oblici signala za ciklus prihvatanje broja ulaza na sinhronoj magistrali

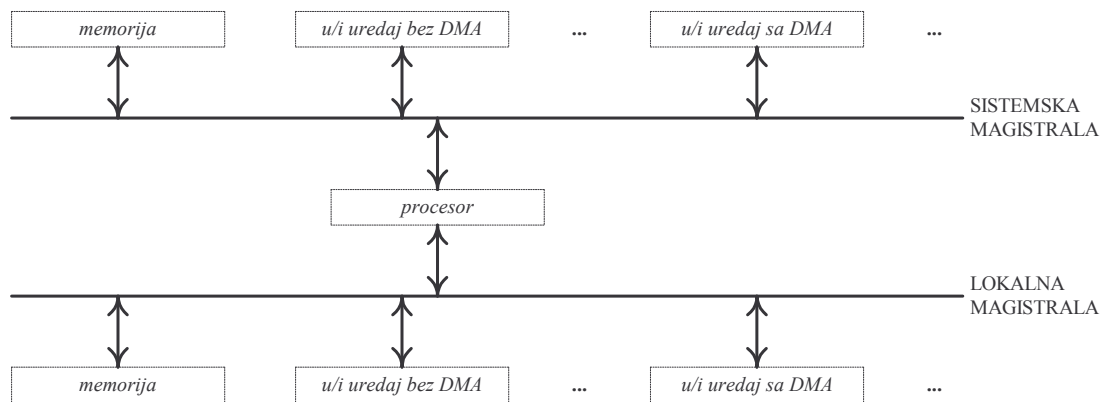
Razmena signala između procesora kao gazde i nekog od uređaja kao sluge je veoma slična kao i za slučaj ciklusa čitanja. Razlika je u tome da procesor kao gazda ne koristi adresne linije **ABUS** i upravljačku liniju **RDBUS** za realizaciju ciklusa prihvatanje broja ulaza, već samo liniju **inta**, dok sluga kao i u slučaju ciklusa čitanja šalje broj ulaza po linijama **DBUS**.

Dobra strana sinhronne magistrale je da se zbog toga što gazda i sluga rade sinhrono sa istim signalom takta i što je fiksirano šta gazda i šta sluga rade na određene signale takta, ne gubi vreme za razmenu upravljačkih signala između gazde i sluge. Loša strana sinhronne magistrale može da bude fiksno trajanje ciklusa, jer se moduli kod kojih je vreme pristupa duže od onog za koje je magistrala projektovana ne mogu dodavati, dok se sa modulima kod kojih je vreme pristupa kraće od projektovanog vremena pristupa magistrale ciklusi realizuju sa projektovanim vremenom pristupa magistrali.

## 1.4 SISTEMI SA VIŠE MAGISTRALA

Sistemi se veoma često projektuju tako da sadrže više od jedne magistrale. To se čini sa ciljem da se smanje čekanja modula koji kao gazde realizuju cikluse na magistrali i da se kombinuju dobre strane sinhronne i asinhronne magistrale.

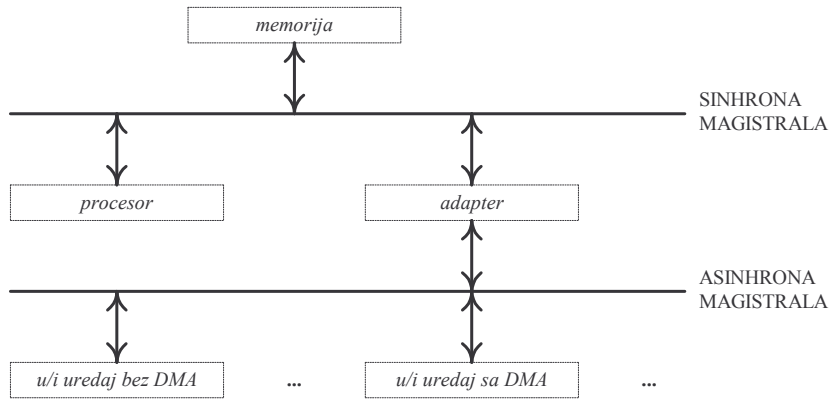
Na slici 14 je dato povezivanje procesora, memorije, u/i uređaja bez DMA i u/i uređaja sa DMA preko dve magistrale koje se nazivaju sistemska magistrala i lokalna magistrala. Jedan modul memorije i više modula u/i uređaja bez DMA i u/i uređaja sa DMA povezani su na sistemska magistralu, a drugi modul memorije i više drugih modula u/i uređaja bez DMA i u/i uređaja sa DMA povezani su na lokalnu magistralu. Procesor je vezan i na sistemska i na lokalnu magistralu. Prilikom konfigurisanja sistema adresni prostor korisnika se deli na dva dela. Adrese iz jednog dela se koriste za adresiranje lokacija modula koji su povezani na sistemska magistralu, a drugi opseg adresa za adresiranje lokacija modula koji su povezani na lokalnu magistralu. Prilikom realizaciju ciklusa na magistrali procesor, na osnovu vrednosti generisane adrese, utvrđuje da li dati ciklus treba da realizuje preko sistemske ili preko lokalne magistrale. U ovakvim sistemima se obe magistrale obično realizuju kao asinhronne magistrale.



Slika 14 Sistem sa sistemskom i lokalnom magistralom

Na slici 15 je dato povezivanje procesora, memorije, u/i uređaja bez DMA i u/i uređaja sa DMA preko dve magistrale koje se nazivaju sinhrona magistrala i asinhrona magistrala. Moduli procesor i memorija povezani su na sinhronu magistralu, a moduli u/i uređaja bez DMA i u/i uređaja sa DMA povezani su na asinhronu magistralu. Modul adapter je vezan i na sinhronu i na asinhronu magistralu. Prilikom konfigurisanja sistema adresni prostor korisnika se deli na dva dela. Adrese iz jednog dela se koriste za adresiranje lokacija modula memorije koji je povezana na sinhronu magistralu, a drugi opseg adresa za adresiranje lokacija modula u/i uređaja bez DMA i u/i uređaja sa DMA koji su povezani na asinhronu magistralu. Procesor sve cikluse realizuje na sinhronoj magistrali. Pri tome na adrese iz opsega adresa dodeljenih modulu memorije reaguje modul memorije, a na adrese iz opsega adresa dodeljenih modulima

u/i uređaja bez DMA i u/i uređaja sa DMA reaguje modul adapter. Ciklus sa samim u/i uređajem bez i sa DMA realizuje modul adapter. U ovakvim sistemima se sinhrona magistrala obično realizuju sa podeljenim ciklusima.



Slika 15 Sistem sa sinhronom i asinhronom magistralom



2



**3**