

**Ј. БОРЂЕВИЋ**  
**З. РАДИВОЈЕВИЋ**  
**Ж. СТАНИСАВЉЕВИЋ**

**АРХИТЕКТУРА  
И ОРГАНИЗАЦИЈА  
РАЧУНАРА**

**КЕШ МЕМОРИЈА**

**ЗБИРКА РЕШЕНИХ ЗАДАТАКА**

**Београд 2014.**



# САДРЖАЈ

САДРЖАЈ .....	I
<b>1 КЕШ МЕМОРИЈА .....</b>	<b>1</b>
1.1 ЗАДАТАК .....	1
1.2 ЗАДАТАК .....	6
1.3 ЗАДАТАК .....	9



# 1 КЕШ МЕМОРИЈА

## 1.1 ЗАДАТАК

У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. „Data” део кеш меморије је капацитета 128 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 128 бајтова.

1. Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

2. Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

3. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

4. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање „Tag” дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

### Решење:

1. Реализација кеш меморије са асоцијативним пресликавањем је дата на слици 1.

Оперативна меморија датог рачунарског система је капацитета 4 Гига бајта а ширина меморијске речи је 1 бајт, ово значи да у меморију може да се упише и из ње чита са 4 Гига различитих меморијских локација ( $4 \text{ GB}/1\text{B} = 4\text{G}$ ). Како би могло да се адресира 4G локација у меморији, потребно је да адреса буде ширине 32 бита ( $4 \text{ G} = 2^{32}$ ).

Пошто је пресликавање је на нивоу блокова чија је величина по 128 бајтова а ширина меморијске речи је 1 бајт, ово значи да у један блок може да се упише и из њега чита са 128 различитих локација ( $128 \text{ B}/1\text{B} = 128$ ). Како би могло да се адресира 128 локација у блок, потребно је да део адресе којим се адресира унутар блока буде ширине 7 бита ( $128 = 2^7$ ).

С обзиром да је оперативна меморија капацитета  $2^{32}$  бајтова и да је подељена на блокове, где је величина блока  $2^7$  бајтова, узима се као да је оперативна меморија организована у  $2^{25}$  блокова величине  $2^7$  бајтова ( $2^{32} = 2^{25} * 2^7$ ). Стога се адреса оперативне меморије дужине 32 бита може поделити на следећи начин:

- виших 25 битова означавају број блока оперативне меморије (TAG) и
- нижих 7 битова означавају адресу бајта у блоку (WORD).

Кеш меморија датог рачунарског система је капацитета 128 Кило бајта и ширина меморијске речи је 1 бајт, ово значи да у кеш меморију може да се упише и из ње чита са 128 Кило различитих локација ( $128 \text{ KB}/1\text{B} = 128\text{K} = 2^{17}$ ).

С обзиром да је „Data” део кеш меморије капацитета  $2^{17}$  бајтова и да је величина блока  $2^7$  бајтова, узима се као да је „Data” део кеш меморије организован у  $2^{10}$  блокова величине  $2^7$  бајтова ( $2^{17} = 2^{10} * 2^7$ ). Стога се адреса „Data” дела меморије кеш капацитета дужине 17 битова може поделити на следећи начин: виших 10 битова означавају број блока и нижих 7 битова означавају адресу бајта у блоку.

Кеш меморија се састоји из следећих делова:

- $D_{0...1023}$  (dirty битови) —1024 флип-флопа,
- $V_{0...1023}$  (valid битови) —1024 флип-флопа,
- TAG MEMORIЈА—асоцијативна меморија капацитета 1024 речи ширине 25 бита,
- CD—кодер 1024/10,
- DATA MEMORIЈА—RAM меморија капацитета 1024 блока од по 128 бајтова,
- $UZ_{9...0}$  — регистар са бројем улаза за замену,
- MP1—мултиплексер 2/1 за мултиплексирање 10-битних вредности бројева ,
- MP2—мултиплексер 2/1 за мултиплексирање 7-битних вредности,
- MP3—мултиплексер 2/1 за мултиплексирање 25-битних вредности и
- $BR_{6...0}$  — седморазредни бројачки регистар.

Dirty битови  $D_{0...1023}$  означавају за сваки од 1024 улаза кеш меморије да је садржај одговарајућег блока DATA MEMORIЈЕ модификован уколико је од тренутка довлачења неког блока оперативне меморије у дати улаз било уписа у блок из датог улаза.

Valid битови  $V_{0...1023}$  означавају за сваки од 1024 улаза кеш меморије да је одговарајући улаз TAG MEMORIЈЕ важећи уколико је у дати улаз довучен неки блок оперативне меморије.

TAG MEMORIЈА служи за чување 1024 TAG поља адреса блокова оперативне меморије који се налазе у одговарајућим улазима DATA MEMORIЈЕ и генерисање вредности 1 сигнала сагласности  $M_{0...1023}$  уколико постоји сагласност TAG поља генерисане адресе и садржаја одговарајућег улаза TAG MEMORIЈЕ.

CD служи за формирање вредности 1 сигнала сагласности кеш меморије SGL и бинарне вредности броја улаза кеш меморије у коме је откривена сагласност  $US_{9...0}$ .

DATA MEMORIЈА служи за чување садржаја 1024 блока оперативне меморије.

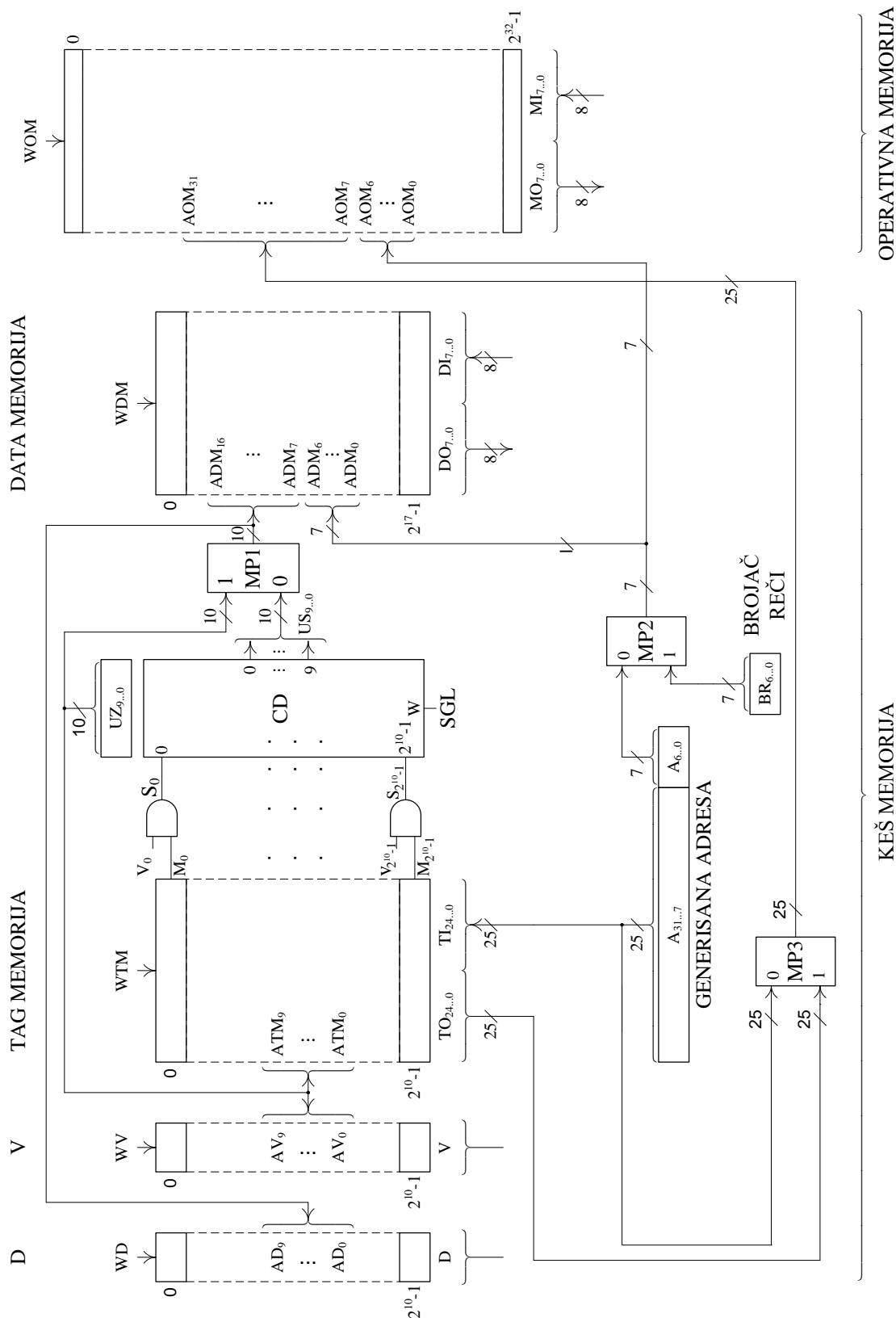
$UZ_{9...0}$  садржи број улаза кеш меморије у који је потребно довући нови блок, а који се формира у сагласности са усвојеним алгоритмом замене блокова кеш меморије. У случају да је улаз у који је потребно довући нови блок важећи и да је садржај блока из датог улаза модификован, блок из датог улаза треба најпре вратити у оперативну меморију па тек онда у дати улаз довући нови блок.

Мултиплексер MP1 је реализован са 10 мултиплексера 2/1 и служи за мултиплексирање 10-битних вредности које одређују број блока у DATA MEMORIЈИ коме се приступа. Уколико се приликом операција читања или уписа открије сагласност, што значи да се блок налази у кеш меморији, онда се приступа улазу у коме је сагласност пронађена и који је одређен са  $US_{9...0}$ . Уколико се утврди да нема сагласности, што значи да се блок не налази у кеш меморији, онда се, ради евентуалног враћања модификованог блока и довлачења новог блока, приступа улазу одређеном са  $UZ_{9...0}$ .

Мултиплексер МР2 је реализован са 7 мултиплексера 2/1 и служи за мултиплексирање 7-битних вредности које одређује адресу речи у блоку. Уколико се приликом операција читања или уписа открије сагласност, што значи да се блок налази у кеш меморији, онда се приступа оној речи у блоку која је одређена се  $A_{6...0}$ . Уколико се утврди да нема сагласности, што значи да се блок не налази у кеш меморији, онда се, ради евентуалног враћања модификованог блока и довлачења новог блока, приступа оној речи у блоку која је одређена се  $BR_{6...0}$ .

Мултиплексер МР3 је реализован са 25 мултиплексера 2/1 и служи за мултиплексирање 25-битних вредности које одређује број блока оперативне меморије коме се приступа. Уколико се ради о упису у оперативну меморију приликом враћања модификованог блока, онда је број блока одређен са  $TO_{24...0}$  што представља садржај улаза TAG MEMORIJE адресиран са  $UZ_{9...0}$ . Уколико се ради о читању из оперативне меморије приликом довлачења новог блока, онда је број блока одређен са  $A_{31...7}$ .

Бројачки регистар  $BR_{6...0}$  даје адресу речи у блоку и оперативне меморије и DATA MEMORIJE. Користи се и приликом враћања модификованог блока и приликом довлачења новог блока.



Слика 1 Кеш меморија са асоцијативним пресликавањем

2. При генерисању захтева за читање од стране процесора, виших 25 битова генерисане адресе води се на улазне линије података  $TI_{24...0}$  TAG MEMORIJE да би се, њиховим истовременим упоређивањем са садржајима свих  $2^{10}$  улаза TAG MEMORIJE, утврдило да ли постоји сагласност са садржајем неког улаза. За сваки од  $2^{10}$  улаза TAG



МЕМОРИЈЕ постоји посебан сигнал сагласности  $M_0$  до  $M_{2^{10}-1}$ , који својом вредношћу 1 одређује да је на датом улазу откривена сагласност. Откривена сагласност је важећа, и један од сигнала важећих сагласности  $S_0$  до  $S_{2^{10}-1}$  је 1, уколико одговарајући индикатор важећих улаза  $V$  има вредност 1. Сигнал сагласности  $SGL$ , који се добија са излаза  $W$  кодера  $CD$ , има вредност 1, уколико један од сигнала  $S_0$  до  $S_{2^{10}-1}$  има вредност 1. Бинарна вредност броја улаза у коме је откривена сагласност је одређена са 10 битова  $US_{9...0}$  са излаза кодера  $CD$  на основу сигнала  $S_0$  до  $S_{2^{10}-1}$ . Уколико постоји сагласност, са 10 битова са излаза кодера  $CD$  и 7 нижих битова генерисане адресе, који пролазе кроз мултиплексер  $MP1$  и  $MP2$ , адресира се реч  $DATA$  МЕМОРИЈЕ и обавља читање или упис. У случају уписа у  $D$  бит адресиран са 10 битова са излаза мултиплексера  $MP1$  уписује се 1.

3. Уколико сагласност не постоји у улаз за замену одређен вредношћу  $UZ_{9...0}$  треба из оперативне меморије да се довуче блок у коме се налази жељени садржај. Пре довлачења жељеног блока проверава се да ли се у улазу који је одабран за замену налази блок који је неком од операција уписа модификован. Ово се утврђује на основу садржаја индикатора  $D$  адресираног вредношћу  $UZ_{9...0}$ , која пролази кроз мултиплексер  $MP1$ . Уколико индикатор  $D$  има вредност 1, блок је модификован, па прво треба дати блок вратити у оперативну меморију па тек онда довући жељени блок. Уколико индикатор  $D$  има вредност 0, блок није модификован, па се жељени блок одмах довлачи.

Приликом враћања блока одабраног за замену  $2^7$  бајтова датог блока се чита из  $DATA$  МЕМОРИЈЕ са адреса формираних од вредности  $UZ_{9...0}$  која даје 10 старијих битова адресе и вредности  $BR_{6...0}$  која је даје 7 млађих битова адресе, који пролазе кроз мултиплексер  $MP1$  и  $MP2$ . Дати бајтови се уписују у ОПЕРАТИВНУ МЕМОРИЈУ на адресама формираних од вредности на линијама  $TO_{24...0}$  која даје 25 старијих битова адресе и вредности  $BR_{6...0}$  која је даје 7 млађих битова адресе, које пролазе кроз мултиплексер  $MP2$  и  $MP3$ . Вредност на линијама  $TO_{24...0}$  прочитана је из  $TAG$  МЕМОРИЈЕ са адресе одређене вредношћу  $UZ_{9...0}$  која пролази кроз мултиплексер  $MP1$ .

4. Приликом довлачења жељеног блока  $2^7$  бајтова датог блока се уписује у  $DATA$  МЕМОРИЈУ на адресама формираних као и у случају враћања блока од вредности  $UZ_{9...0}$  која даје 10 старијих битова адресе и вредности  $BR_{6...0}$  која је даје 7 млађих битова адресе. Дати бајтови се читају из ОПЕРАТИВНЕ МЕМОРИЈЕ са адреса формираних од вредности битова  $A_{31...7}$  генерисане адресе која даје 25 старијих битова адресе и вредности  $BR_{6...0}$  која је даје 7 млађих битова адресе, које пролазе кроз мултиплексер  $MP2$  и  $MP3$ . Поред тога битови  $A_{31...7}$  генерисане адресе се уписују у улаз  $TAG$  МЕМОРИЈЕ чија је адреса одређена вредношћу  $UZ_{9...0}$ . Индикатори  $V$  и  $D$  улаза адресираних вредношћу  $UZ_{9...0}$  постављају се на 1 и 0, респективно.

## 1.2 ЗАДАТАК

У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. „Data” део кеш меморије је капацитета 8 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 64 бајта.

1. Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

2. Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

3. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

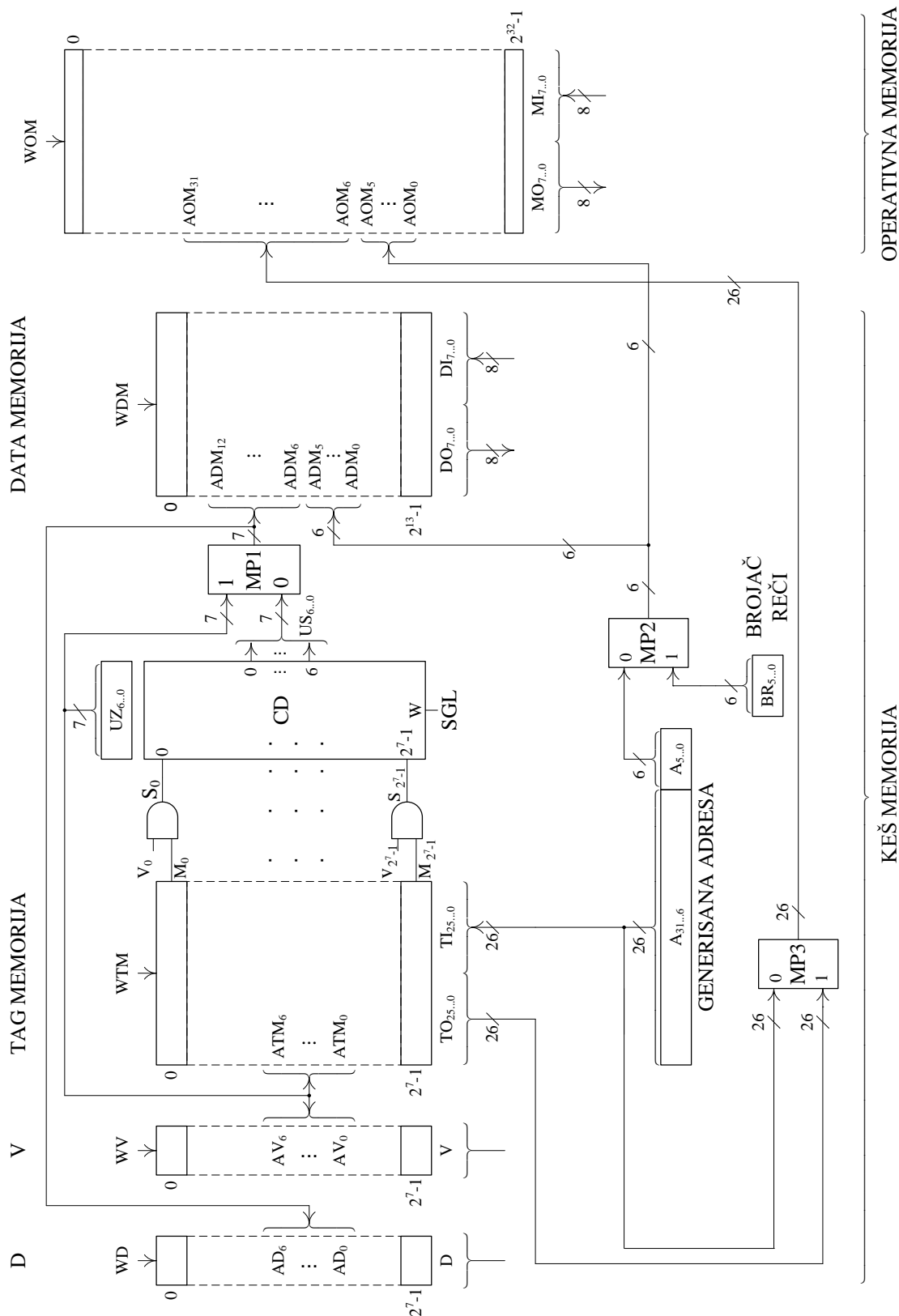
4. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање „Tag” дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

### Решење:

1. Реализација кеш меморије са асоцијативним пресликавањем је дата на слици 2.

С обзиром да је оперативна меморија капацитета  $2^{32}$  бајтова и да је величина блока  $2^6$  бајтова, узима се као да је оперативна меморија организована у  $2^{26}$  блокова величине  $2^6$  бајтова. Стога се адреса оперативне меморије дужине 32 бита може поделити на следећи начин: виших 26 битова означавају број блока и нижих 6 битова означавају адресу бајта у блоку.

С обзиром да је „Data” део кеш меморије капацитета  $2^{13}$  бајтова и да је величина блока  $2^6$  бајтова, узима се као да је „Data” део кеш меморије организован у  $2^7$  блокова величине  $2^6$  бајтова. Стога се адреса „Data” дела меморије кеш капацитета дужине 13 битова може поделити на следећи начин: виших 7 битова означавају број блока и нижих 6 битова означавају адресу бајта у блоку.



Слика 2 Кеш меморија са асоцијативним пресликавањем

2. При генерисању захтева за читање од стране процесора, виших 26 битова генерисане адресе води се на улазне линије података  $TI_{25..0}$  TAG MEMORIЈЕ да би се, њиховим истовременим упоређивањем са садржајима свих  $2^7$  улаза TAG MEMORIЈЕ, утврдило да ли постоји сагласност са садржајем неког улаза. За сваки од  $2^7$  улаза TAG MEMORIЈЕ постоји посебан сигнал сагласности  $M_0$  до  $M_{2^7-1}$ , који својом вредношћу 1

одређује да је на датом улазу откривена сагласност. Откривена сагласност је важећа, и један од сигнала важећих сагласности  $S_0$  до  $S_{2^7-1}$  је 1, уколико одговарајући индикатор важећих улаза  $V$  има вредност 1. Сигнал сагласности  $SGL$ , који се добија са излаза  $W$  кодера  $CD$ , има вредност 1, уколико један од сигнала  $S_0$  до  $S_{2^7-1}$  има вредност 1. Бинарна вредност броја улаза у коме је откривена сагласност је одређена са 7 битова  $US_{6...0}$  са излаза кодера  $CD$  на основу сигнала  $S_0$  до  $S_{2^7-1}$ . Уколико постоји сагласност, са 7 битова са излаза кодера  $CD$  и 6 нижих битова генерисане адресе, који пролазе кроз мултиплексере  $MP1$  и  $MP2$ , адресира се реч  $DATA$  МЕМОРИЈЕ и обавља читање или упис. У случају уписа у  $D$  бит адресиран са 7 битова са излаза мултиплексера  $MP1$  уписује се 1.

3. Уколико сагласност не постоји у улаз за замену одређен вредношћу  $UZ_{6...0}$  треба из оперативне меморије да се довуче блок у коме се налази жељени садржај. Пре довлачења жељеног блока проверава се да ли се у улазу који је одабран за замену налази блок који је неком од операција уписа модификован. Ово се утврђује на основу садржаја индикатора  $D$  адресираног вредношћу  $UZ_{6...0}$ , која пролази кроз мултиплексер  $MP1$ . Уколико индикатор  $D$  има вредност 1, блок је модификован, па прво треба дати блок вратити у оперативну меморију па тек онда довући жељени блок. Уколико индикатор  $D$  има вредност 0, блок није модификован, па се жељени блок одмах довлачи.

Приликом враћања блока одабраног за замену  $2^6$  бајтова датог блока се чита из  $DATA$  МЕМОРИЈЕ са адреса формираних од вредности  $UZ_{6...0}$  која даје 7 старијих битова адресе и вредности  $BR_{5...0}$  која је даје 6 млађих битова адресе, који пролазе кроз мултиплексере  $MP1$  и  $MP2$ . Дати бајтови се уписују у ОПЕРАТИВНУ МЕМОРИЈУ на адресама формираних од вредности на линијама  $TO_{25...0}$  која даје 26 старијих битова адресе и вредности  $BR_{5...0}$  која је даје 6 млађих битова адресе, које пролазе кроз мултиплексере  $MP2$  и  $MP3$ . Вредност на линијама  $TO_{25...0}$  прочитана је из  $TAG$  МЕМОРИЈЕ са адресе одређене вредношћу  $UZ_{6...0}$  која пролази кроз мултиплексер  $MP1$ .

4. Приликом довлачења жељеног блока  $2^6$  бајтова датог блока се уписује у  $DATA$  МЕМОРИЈУ на адресама формираних као и у случају враћања блока од вредности  $UZ_{6...0}$  која даје 7 старијих битова адресе и вредности  $BR_{5...0}$  која је даје 6 млађих битова адресе. Дати бајтови се читају из ОПЕРАТИВНЕ МЕМОРИЈЕ са адреса формираних од вредности битова  $A_{31...6}$  генерисане адресе која даје 26 старијих битова адресе и вредности  $BR_{5...0}$  која је даје 6 млађих битова адресе, које пролазе кроз мултиплексере  $MP2$  и  $MP3$ . Поред тога битови  $A_{31...6}$  генерисане адресе се уписују у улаз  $TAG$  МЕМОРИЈЕ чија је адреса одређена вредношћу  $UZ_{6...0}$ . Индикатори  $V$  и  $D$  улаза адресираних вредношћу  $UZ_{6...0}$  постављају се на 1 и 0, респективно.

### 1.3 ЗАДАТАК

У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 8 Гига бајта и ширине меморијске речи 1 бајт. „Data” део кеш меморије је капацитета 1 Мега бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 32 бајта.

1. Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

2. Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

3. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

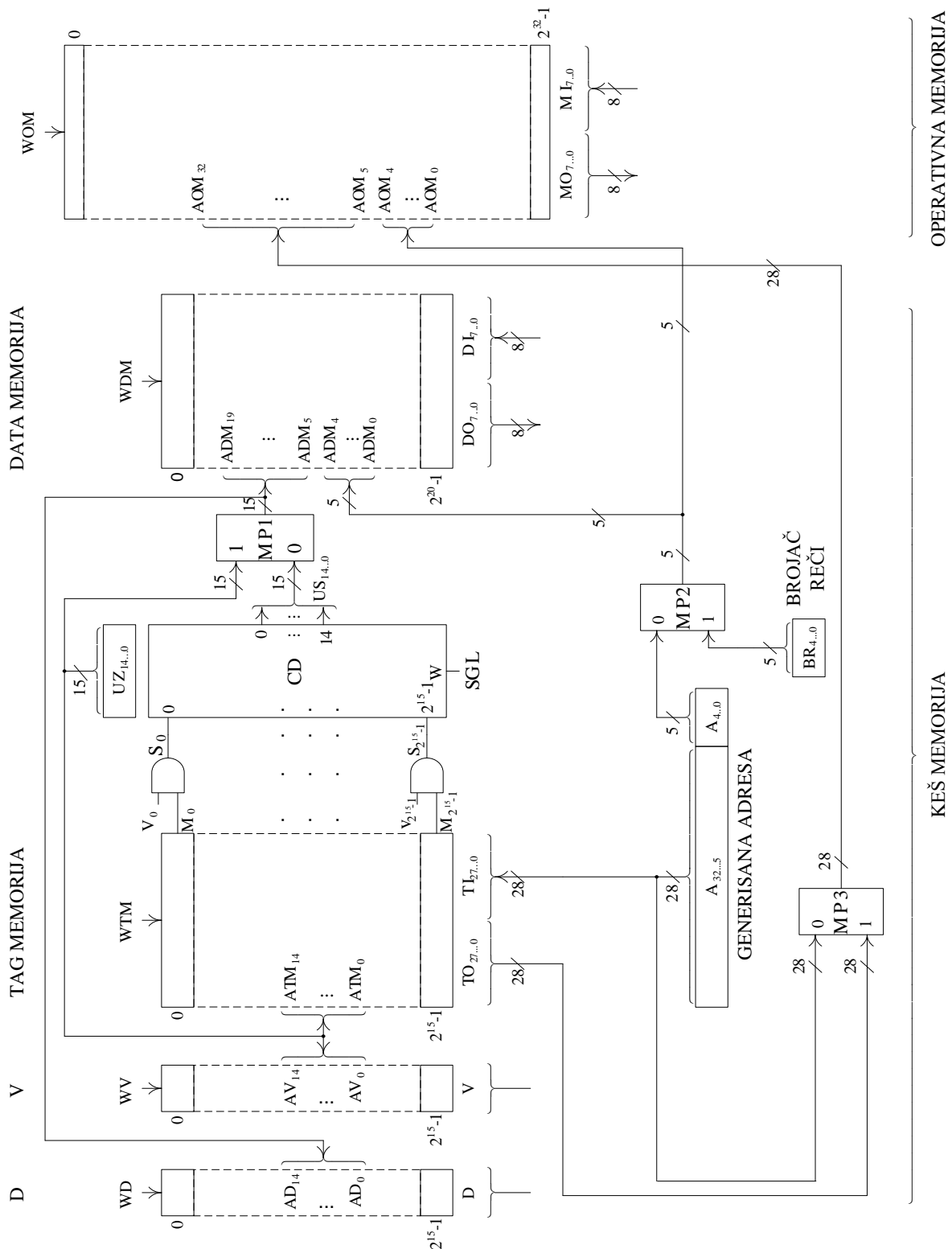
4. Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање „Tag” дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

#### Решење:

1. Реализација кеш меморије са асоцијативним пресликавањем је дата на слици 3.

С обзиром да је оперативна меморија капацитета  $2^{33}$  бајтова и да је величина блока  $2^5$  бајтова, узима се као да је оперативна меморија организована у  $2^{28}$  блокова величине  $2^5$  бајтова. Стога се адреса оперативне меморије дужине 33 бита може поделити на следећи начин: виших 28 битова означавају број блока и нижих 5 битова означавају адресу бајта у блоку.

С обзиром да је „Data” део кеш меморије капацитета  $2^{20}$  бајтова и да је величина блока  $2^5$  бајтова, узима се као да је „Data” део кеш меморије организован у  $2^{15}$  блокова величине  $2^5$  бајтова. Стога се адреса „Data” дела меморије кеш капацитета дужине 20 битова може поделити на следећи начин: виших 15 битова означавају број блока и нижих 5 битова означавају адресу бајта у блоку.



Слика 3 Кеш меморија са асоцијативним пресликавањем

2. При генерисању захтева за читање од стране процесора, виших 28 битова генерисане адресе води се на улазне линије података  $T_{27...0}$  TAG MEMORIЈЕ да би се, њиховим истовременим упоређивањем са садржајима свих  $2^{15}$  улаза TAG MEMORIЈЕ, утврдило да ли постоји сагласност са садржајем неког улаза. За сваки од  $2^{15}$  улаза TAG MEMORIЈЕ постоји посебан сигнал сагласности  $M_0$  до  $M_{2^{15}-1}$ , који својом вредношћу 1 одређује да је на датом улазу откривена сагласност. Откривена сагласност је важећа, и

један од сигнала важећих сагласности  $S_0$  до  $S_{2^{15}-1}$  је 1, уколико одговарајући индикатор важећих улаза  $V$  има вредност 1. Сигнал сагласности  $SGL$ , који се добија са излаза  $W$  кодера  $CD$ , има вредност 1, уколико један од сигнала  $S_0$  до  $S_{2^{15}-1}$  има вредност 1. Бинарна вредност броја улаза у коме је откривена сагласност је одређена са 15 битова  $US_{14...0}$  са излаза кодера  $CD$  на основу сигнала  $S_0$  до  $S_{2^{15}-1}$ . Уколико постоји сагласност, са 15 битова са излаза кодера  $CD$  и 5 нижих битова генерисане адресе, који пролазе кроз мултиплексере  $MP1$  и  $MP2$ , адресира се реч  $DATA$  МЕМОРИЈЕ и обавља читање или упис. У случају уписа у  $D$  бит адресиран са 15 битова са излаза мултиплексера  $MP1$  уписује се 1.

3. Уколико сагласност не постоји у улаз за замену одређен вредношћу  $UZ_{14...0}$  треба из оперативне меморије да се довуче блок у коме се налази жељени садржај. Пре довлачења жељеног блока проверава се да ли се у улазу који је одабран за замену налази блок који је неком од операција уписа модификован. Ово се утврђује на основу садржаја индикатора  $D$  адресираног вредношћу  $UZ_{14...0}$ , која пролази кроз мултиплексер  $MP1$ . Уколико индикатор  $D$  има вредност 1, блок је модификован, па прво треба дати блок вратити у оперативну меморију па тек онда довући жељени блок. Уколико индикатор  $D$  има вредност 0, блок није модификован, па се жељени блок одмах довлачи.

Приликом враћања блока одабраног за замену  $2^5$  бајтова датог блока се чита из  $DATA$  МЕМОРИЈЕ са адреса формираних од вредности  $UZ_{14...0}$  која даје 15 старијих битова адресе и вредности  $BR_{4...0}$  која даје 5 млађих битова адресе, који пролазе кроз мултиплексере  $MP1$  и  $MP2$ . Дати бајтови се уписују у ОПЕРАТИВНУ МЕМОРИЈУ на адресама формираних од вредности на линијама  $TO_{27...0}$  која даје 28 старијих битова адресе и вредности  $BR_{4...0}$  која је даје 5 млађих битова адресе, које пролазе кроз мултиплексере  $MP2$  и  $MP3$ . Вредност на линијама  $TO_{27...0}$  прочитана је из  $TAG$  МЕМОРИЈЕ са адресе одређене вредношћу  $UZ_{14...0}$  која пролази кроз мултиплексер  $MP1$ .

4. Приликом довлачења жељеног блока  $2^5$  бајтова датог блока се уписује у  $DATA$  МЕМОРИЈУ на адресама формираних као и у случају враћања блока од вредности  $UZ_{14...0}$  која даје 15 старијих битова адресе и вредности  $BR_{4...0}$  која је даје 5 млађих битова адресе. Дати бајтови се читају из ОПЕРАТИВНЕ МЕМОРИЈЕ са адреса формираних од вредности битова  $A_{32...5}$  генерисане адресе која даје 28 старијих битова адресе и вредности  $BR_{4...0}$  која је даје 5 млађих битова адресе, које пролазе кроз мултиплексере  $MP2$  и  $MP3$ . Поред тога битови  $A_{32...5}$  генерисане адресе се уписују у улаз  $TAG$  МЕМОРИЈЕ чија је адреса одређена вредношћу  $UZ_{14...0}$ . Индикатори  $V$  и  $D$  улаза адресираних вредношћу  $UZ_{14...0}$  постављају се на 1 и 0, респективно.