

# Организација рачунара



# Садржај

- Увод
- Циљеви и исход предмета
- Наставници
- Програм предмета
- Лабораторијске вежбе
- Предиспитне обавезе студената
- Начин полагања испита
- Литература

## Увод

- Назив предмета:  
Организација рачунара
- Година: 2, семестар: 3
- Фонд часова: 2 + 2 + 1
- Број ЕСПБ бодова: 5
- Предуслов:  
одслушан предмет Основи рачунарске технике

## Циљеви и исход предмета

- **Циљ:** Упознавање са структуром рачунара, елементима архитектуре и организације процесора, и структуром магистрале, улазно/излазног система, и меморијског система.
- **Исход:** По завршетку курса студенти ће бити способни да разумеју: структуру рачунара; елементе архитектуре и организације рачунара, структуру магистрале, улазно/излазног система, и меморијског система.

## Наставници

- **Предавања: др Жарко Станисављевић**  
**zarko@etf.bg.ac.rs**  
Канцеларија 37  
Консултације после наставе и по договору
- **Вежбе: дипл. инж. Данко Миладиновић**  
**danko@etf.bg.ac.rs**  
Канцеларија 26а  
Консултације после наставе и по договору

# Програм предмета

- *Архитектура процесора*
- *Механизам прекида*
- *Магистрала*
- *Улаз/излаз*
- *Меморија*
- *Кеш меморија*
- *Виртуелна меморија*

# Лабораторијске вежбе

- 5 лабораторијских вежби
- Свака вежба 4 поена
- Преглед вежби:
  - *Инструкције преноса, аритметичке инструкције, инструкције скока, логичке инструкције, инструкције померања и ротирања*
  - *Механизам прекида*
  - *Синхронизација рада процесора и контролера са dma при коришћењу системске магистрале*
  - *Улаз/излаз са контролером без dma*
  - *Програмирани улаз/излаз помоћу контролера са dma*
- Једна надокнада

# Преглед симулатора

**Edukacioni racunarski sistem - LAB1**

File View Step Utility Window Help

**PROCESOR**

magistrala podataka DBUS, adresna magistrala ABUS, upravljacka magistrala RDBUS

highZ highZ

DBUS ABUS

RDBUS WRBUS FCBUS

DBUS ABUS

RDBUS WRBUS FCBUS

**MEMORIJA**

DBUS ABUS

RDBUS WRBUS FCBUS

**PROCESOR**

Operaciona jedinica

M15 ... M0 - interna magistrala

0100

16

Registri

Interfejs

Operacije

Prekidi

Upravljacka jedinica

highZ highZ

16

hdr hlda DMA1.x

intr3 intr2 intr1 intr3 intr2 intr1 intr3 intr2 intr1

inta3 inta2 inta1

inn

FAULT

**PERIFERIJA 2**

**PERIFERIJA 1**

**Simulation parameters**

(Clk+) \* : 0

(Ins+) \* : 0

(Prg+) time : 0

n \* (Clk+) stop :

n \* (Ins+) stop :

(Prg+) time stop :

time = 0

inst. = Instruction fetch

cpu

mem

Info		Command		
Sequence	Status	Navigation	Misc	Simulation
T = 00 PCout, MARin, Xin	PC = 0100	UP	More	Clk+
* Faza citanja instrukcije	T = 0	CPU hierar.	Clear	Ins+
* PC u MAR i X	Tclk = 0	Main	Help	Prg+
** Ozicena realizacija upravlj				

Hardware: ECS - Education  
Position: System

Hardware: CPU - Central Processing Unit  
Position: Central Processing Unit

Clock stop: -  
Status: time = 0



# Предиспитне обавезе студената

- **Колоквијум – 30 поена**
  - Област: Архитектура и организација процесора, механизам прекида
  - Могућност надокнаде само у првом испитном року
- **Лабораторијске вежбе**
  - Свака по 4 поена укупно 20 поена
  - Важи за текућу школску годину
- **Присуство настави**
  - Кроз лабораторијске вежбе

# Начин полагања испита

- **Испит – 50\* поена**
  - Области: Магистрала, улаз-излаз и меморија
  
  - \* Студенти незадовољни бројем поена освојеним у термину колоквијума у првом испитном року могу надокнадити колоквијум, уместо испита.

## Начин полагања испита

Коначна оцена се формира на основу броја бодова на следећи начин:

- $91 \leq X < 100$  – оцена 10
- $81 \leq X < 91$  – оцена 9
- $71 \leq X < 81$  – оцена 8
- $61 \leq X < 71$  – оцена 7
- $51 \leq X < 61$  – оцена 6
- $0 \leq X < 51$  – студент није положио испит

# Литература

На српском језику:

- Скрипта за предавања: Проф. др Јован Ђорђевић
- Скрипта за вежбе: Бошко Николић, Марија Пунт, Захарије Радивојевић
- Збирка: Ј. Ђорђевић, Ј. Протић, Д. Милићев, А. Миленковић, Б. Николић, З. Радивојевић, М. Пунт (електронско издање)

На енглеском језику:

- Patterson, Hennessy - Computer Organization and Design: The Hardware-Software Interface
- Hennessy, Patterson - Computer Architecture. A Quantitative Approach

# Листа

- Аутоматско пријављивање
- Обавештења иду на листу
- Поставити прослеђивање на адресу коју пратите

Питања?

Електротехнички Факултет  
Универзитет у Београду

