



Основи рачунарске технике
-13E111OPT-

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 7, 8 и 9 студент освоји најмање 10 од максимално 35 поена.

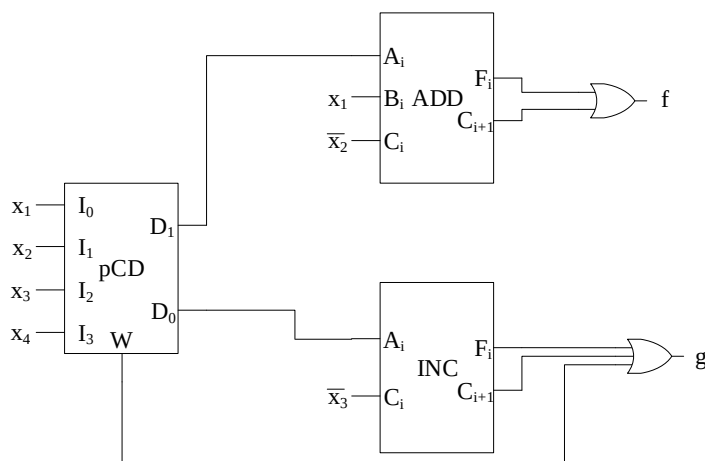
Поени са колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2018/19. године и учествују у коначној оцени са 45%.

Испит траје 3 сата.

=====

5. [5] Конструисати *master-slave* D флип-флоп, код кога је један активна вредност улазног сигнала D, и нула активна вредност улазног сигнала такта C, користећи асинхрони RS флип-флоп са НИ елементима и што мањим бројем НИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИ елементима. Табеларно представити законе функционисања оба флип-флопа.

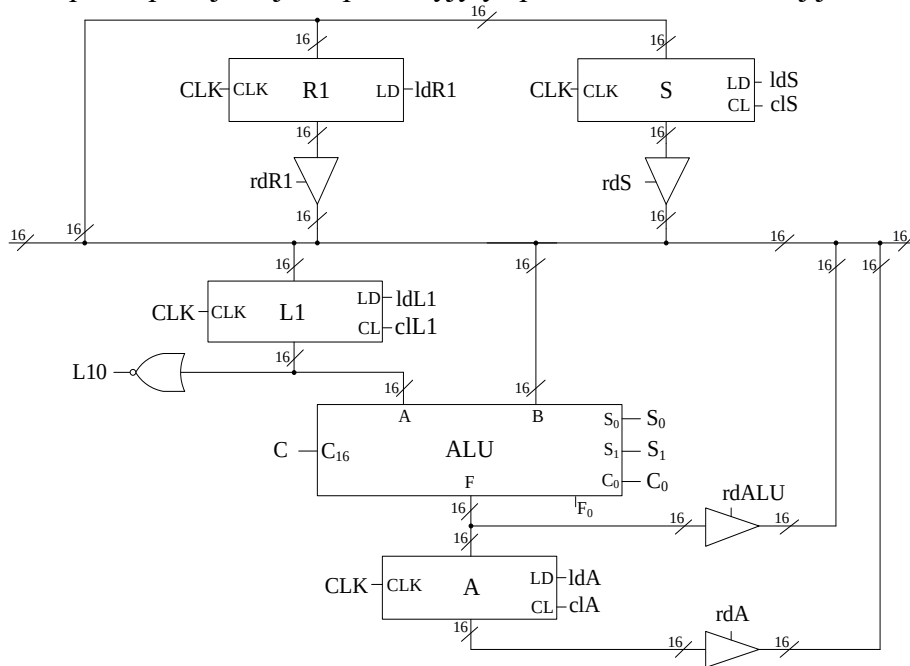
6. [15]



Одредити функције f и g које реализује комбинациона мрежа са слике. Функцију f написати у облику минималне ДНФ, а функцију g написати у облику минималне КНФ, при чему коришћење Карноових карти није обавезно. За елемент pCD у комбинационој мрежи потребно је извести закон функционисања користећи таблицу и опште формуле које дефинишу излазне функције сваког елемента (ADD, INC, pCD). Елемент pCD представља кодер са приоритетима, код ког већи индекс има већи приоритет. Улази и излази са индексом 0 представљају најнижи бит. Приликом решавања задатка потребно је именовати све сигнале и одредити изразе који их описују.

7. [10] Реализовати један разред регистра са серијским уписом са померањем удесно, инкрементирањем и синхроним брисањем помоћу D флип-флопа код кога је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са серијским уписом са померањем удесно, инкрементирањем и синхроним брисањем помоћу D флип-флопа, извести израз за сигнал побуде D_i за све три функције, формирати обједињен сигнал побуде D_i и нацртати структурну шему таквог једноразредног регистра.

8. [20] На слици је приказана структурна шема дела операционе јединице процесора. Микрооперације које се реализују у аритметичко-логичкој јединици ALU дате су у табели.



S ₀	S ₁	F
0	0	0A ₁₅ ...A ₁
0	1	B+C ₀
1	0	A-C ₀
1	1	A+B

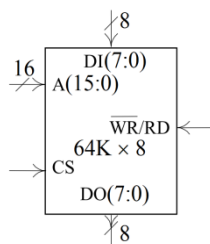
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе POWTWO која проверава дали је садржај регистра R1 степен двојке, ако јесте у регистар S треба уписати 1, у супротном 0. Фаза извршавања наредбе започиње уколико сигнал POWTWO има вредност 1. Садржај регистра R1 мора да остане непромењен.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима за наредбу POWTWO.

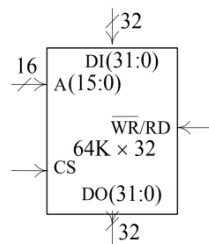
9. [5] Дат је меморијски модул $64K \times 8$ бита (слика 1).

а) Коришћењем меморијских модула $64K \times 8$ бита (слика 1) реализовати меморијски модул веће ширине меморијске речи $64K \times 32$ бита (слика 2).

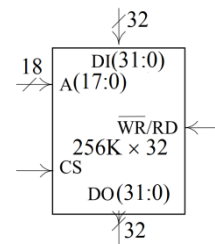
б) Коришћењем меморијских модула $64K \times 32$ бита (слика 2) реализовати меморијски модул већег адресног простора $256K \times 32$ бита (слика 3).



Слика 1.



Слика 2.



Слика 3.