



Основи рачунарске технике
-13E111OPT1-

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 7, 8 и 9 студент освоји најмање 10 од максимално 35 поена.

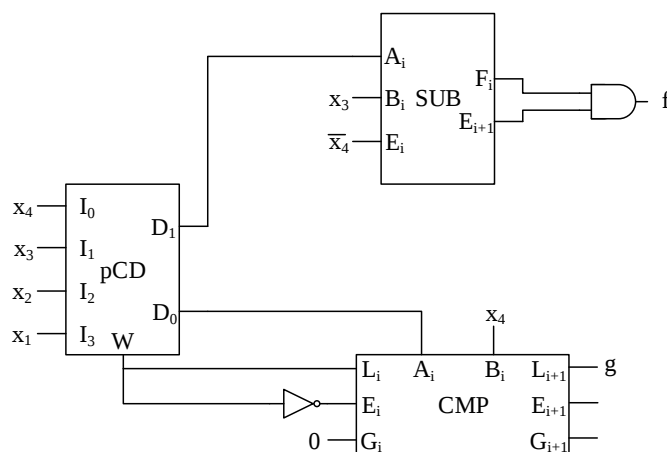
Поени са колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2018/19. године и учествују у коначној оцени са 45%.

Испит траје 3 сата.

=====

5. [5] Конструисати *master-slave* Т флип-флоп, код кога је нула активна вредност улазног сигнала Т, и један активна вредност улазног сигнала такта С, користећи асинхрони RS флип-флоп са НИЛИ елементима и што мањим бројем НИЛИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИЛИ елементима. Табеларно представити законе функционисања оба флип-флопа.

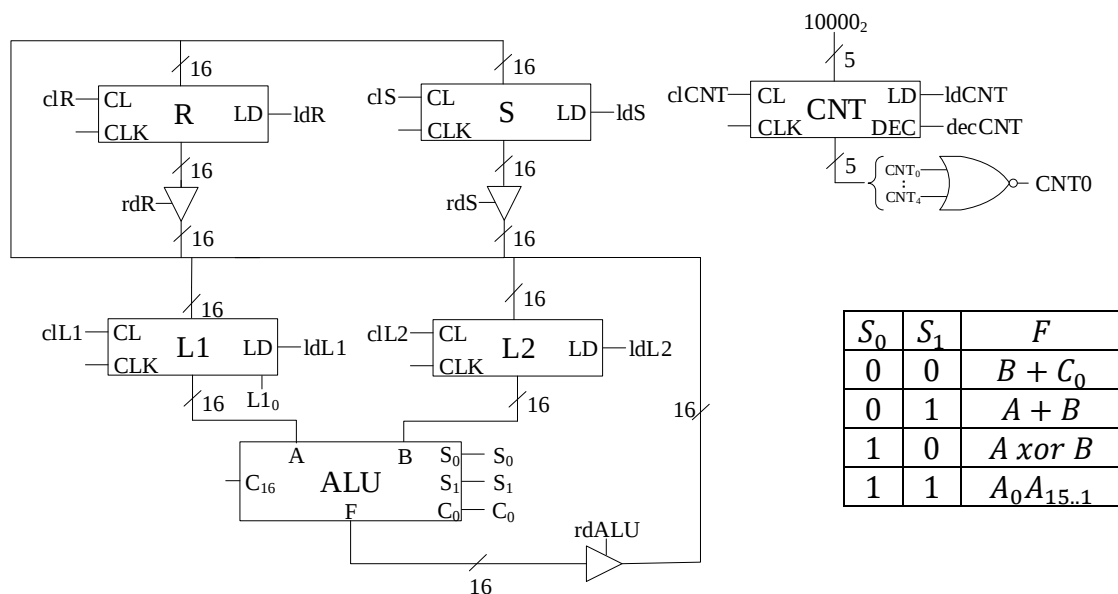
6. [15]



Одредити функције f и g које реализује комбинациона мрежа са слике. Функцију f написати у облику минималне ДНФ, а функцију g написати у облику минималне КНФ, при чему коришћење Карноових карти није обавезно. За елементе pCD и SUB у комбинационој мрежи потребно је извести закон функционисања користећи таблице и написати опште формуле које дефинишу њихове излазне функције, док је за елемент CMP потребно само написати опште формуле које дефинишу његове излазне функције. Елемент pCD представља кодер са приоритетима, код кога улаз са већим индексом има већи приоритет. Улази и излази са индексом 0 представљају најнижи бит. Приликом решавања задатка потребно је именовати све сигнале и одредити изразе који их описују.

7. [10] Реализовати један разред регистра са паралелним уписом, декрементирањем и синхроним брисањем помоћу JK флип-флопа код кога је 0 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и синхроним брисањем помоћу JK флип-флопа, извести израз за сигнале побуде Јi и Ki за све три функције, формирати обједињене сигнале побуде Јi и Ki и нацртати структурну шему таквог једноразредног регистра.

8. [20] На слици је приказана структурна шема дела операционе јединице процесора. Микрооперације које се реализују у аритметичко-логичкој јединици ALU дате су у табели.



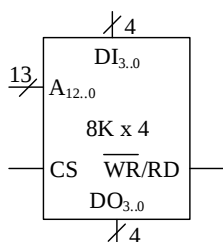
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе COMPL која комплементира садржај регистра R и резултат смешта у регистар S. Ова наредба мења све јединице из бинарног записа броја смештеног у регистру R нулама и нуле мења јединицама. Фаза извршавања наредбе започиње уколико сигнал COMPL има вредност 1. Садржај регистра R мора да остане непромењен.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима за наредбу COMPL.

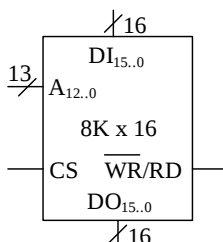
9. [5] Дат је меморијски модул $8K \times 4$ бита (слика 1).

а) Коришћењем меморијских модула $8K \times 4$ бита (слика 1) реализовати меморијски модул веће ширине меморијске речи $8K \times 16$ бита (слика 2).

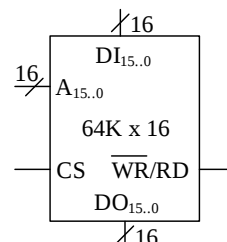
б) Коришћењем меморијских модула $8K \times 16$ бита (слика 2) реализовати меморијски модул већег адресног простора $64K \times 16$ бита (слика 3).



Слика 1.



Слика 2.



Слика 3.